

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003804

International filing date: 28 February 2005 (28.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-060103
Filing date: 04 March 2004 (04.03.2004)

Date of receipt at the International Bureau: 14 April 2005 (14.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

28.02.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 4 日
Date of Application:

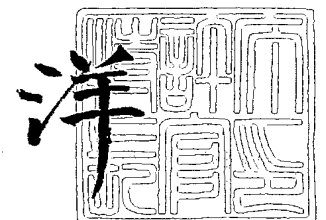
出 願 番 号 特 願 2 0 0 4 - 0 6 0 1 0 3
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 6 0 1 0 3]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 5 年 3 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 P007750
【提出日】 平成16年 3月 4日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 山崎 舜平
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

アンテナと、集積回路と、発光素子と、受光素子とを有し、
前記集積回路は薄膜トランジスタを有し、
前記発光素子及び前記受光素子は、非単結晶の薄膜を用いた、光電変換を行なうための層を有し、
前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されていることを特徴とする I D チップ。

【請求項 2】

アンテナと、集積回路と、発光素子と、受光素子とを有し、
前記集積回路は薄膜トランジスタを有し、
前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、
前記集積回路、前記発光素子及び前記受光素子は、一体形成されていることを特徴とする I D チップ。

【請求項 3】

アンテナと、集積回路と、発光素子と、受光素子とを有し、
前記集積回路は薄膜トランジスタを有し、
前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、
前記アンテナ、前記集積回路、前記発光素子及び前記受光素子は、一体形成されていることを特徴とする I D チップ。

【請求項 4】

集積回路と、発光素子と、受光素子とを有し、
前記集積回路は、接続端子と、アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する整流回路と、前記受光素子において受信した第 1 の信号を復調する復調回路と、復調された前記第 1 の信号に従って演算処理を行ない第 2 の信号を生成する論理回路とを有し、
前記発光素子は前記第 2 の信号を光信号に変換することができ、
前記集積回路、前記発光素子及び前記受光素子は、一体形成されていることを特徴とする I D チップ。

【請求項 5】

アンテナと、集積回路と、発光素子と、受光素子とを有し、
前記集積回路は薄膜トランジスタを有し、
前記発光素子及び前記受光素子は、非単結晶の薄膜を用いた、光電変換を行なうための層を有し、
前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、
前記集積回路、前記発光素子及び前記受光素子は、第 1 の基板上に形成された後、剥離され、第 2 の基板上に貼り合わされていることを特徴とする I D チップ。

【請求項 6】

アンテナと、集積回路と、発光素子と、受光素子とを有し、
前記集積回路は薄膜トランジスタを有し、
前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、
前記集積回路、前記発光素子及び前記受光素子は、第 1 の基板上に形成された後、剥離され、第 2 の基板上に貼り合わされていることを特徴とする I D チップ。

【請求項 7】

アンテナと、集積回路と、発光素子と、受光素子とを有し、
前記集積回路は薄膜トランジスタを有し、
前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、
前記アンテナ、前記集積回路、前記発光素子及び前記受光素子は、第 1 の基板上に形成された後、剥離され、第 2 の基板上に貼り合わされていることを特徴とする I D チップ。

【請求項 8】

集積回路と、発光素子と、受光素子とを有し、

前記集積回路は、接続端子と、アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する整流回路と、前記受光素子において受信した第1の信号を復調する復調回路と、復調された前記第1の信号に従って演算処理を行ない第2の信号を生成する論理回路とを有し、

前記発光素子は前記第2の信号を光信号に変換することができ、

前記集積回路、前記発光素子及び前記受光素子は、一体形成されており、

前記集積回路、前記発光素子及び前記受光素子は、第1の基板上に形成された後、剥離され、第2の基板上に貼り合わされていることを特徴とするIDチップ。

【請求項9】

アンテナと、集積回路と、発光素子と、受光素子とを有し、

前記集積回路は薄膜トランジスタを有し、

前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、

前記集積回路、前記発光素子及び前記受光素子は、一体形成されていることを特徴とするICカード。

【請求項10】

アンテナと、集積回路と、発光素子と、受光素子とを有し、

前記集積回路は薄膜トランジスタを有し、

前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、

前記アンテナ、前記集積回路、前記発光素子及び前記受光素子は、一体形成されていることを特徴とするICカード。

【請求項11】

集積回路と、発光素子と、受光素子とを有し、

前記集積回路は、接続端子と、アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する整流回路と、前記受光素子において受信した第1の信号を復調する復調回路と、復調された前記第1の信号に従って演算処理を行ない第2の信号を生成する論理回路とを有し、

前記発光素子は前記第2の信号を光信号に変換することができ、

前記集積回路、前記発光素子及び前記受光素子は、一体形成されていることを特徴とするICカード。

【請求項12】

アンテナと、集積回路と、発光素子と、受光素子とを有し、

前記集積回路は薄膜トランジスタを有し、

前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、

前記集積回路、前記発光素子及び前記受光素子は、第1の基板上に形成された後、剥離され、第2の基板上に貼り合わされていることを特徴とするICカード。

【請求項13】

アンテナと、集積回路と、発光素子と、受光素子とを有し、

前記集積回路は薄膜トランジスタを有し、

前記アンテナ、前記発光素子及び前記受光素子は、前記集積回路に接続されており、

前記アンテナ、前記集積回路、前記発光素子及び前記受光素子は、第1の基板上に形成された後、剥離され、第2の基板上に貼り合わされていることを特徴とするICカード。

【請求項14】

集積回路と、発光素子と、受光素子とを有し、

前記集積回路は、接続端子と、アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する整流回路と、前記受光素子において受信した第1の信号を復調する復調回路と、復調された前記第1の信号に従って演算処理を行ない第2の信号を生成する論理回路とを有し、

前記発光素子は前記第2の信号を光信号に変換することができ、

前記集積回路、前記発光素子及び前記受光素子は、一体形成されており、

前記集積回路、前記発光素子及び前記受光素子は、第 1 の基板上に形成された後、剥離され、第 2 の基板上に貼り合わされていることを特徴とする I C カード。

【書類名】 明細書

【発明の名称】 IDチップ、ICカード

【技術分野】

【0001】

本発明は、光通信を用いたIDチップまたはICカードに関する。

【背景技術】

【0002】

無線で識別情報などのデータの送受信が可能なIDチップ、ICカードは、様々な分野において実用化が進められており、新しい形態の通信情報端末としてさらなる市場の拡大が見込まれている。IDチップは、無線タグ、RFID(Radio frequency identification)タグ、ICタグとも呼ばれている。IDチップとICカードは、アンテナと、半導体基板を用いて形成された集積回路とを有しているタイプが現在実用化されている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

集積回路を形成するのに用いられている半導体基板は、可撓性に乏しく、機械的強度が低い。集積回路自体の面積を縮小化することで、機械的強度をある程度向上させることはできる。しかしこの場合、回路規模の確保が難しくなり、IDチップやICカードの用途が制限されるので好ましくない。従って集積回路の回路規模の確保を重要視すると、やみくもに集積回路の面積を縮小化することは妥当ではなく、機械的強度の向上にも限界が生じている。

【0004】

上記問題に鑑み、本発明は、回路規模を抑えることなく集積回路の機械的強度を高めることができる、IDチップまたはICカードの提供を課題とする。

【課題を解決するための手段】

【0005】

本発明のIDチップ、ICカードは、絶縁分離された薄膜の半導体膜で形成されたTFT(薄膜トランジスタ)が用いられた集積回路を有する。さらに本発明のIDチップ、ICカードは、光電変換を行なうための層に非単結晶の薄膜を用いた、発光素子及び受光素子を有する。発光素子または受光素子は、集積回路と連続して形成(一体形成)されていても良いし、別途形成して集積回路に貼り合わされていても良い。

【0006】

なお集積回路、発光素子及び受光素子は、基板上に直接形成されていても良いし、基板上に形成した後に剥離され、別途用意された基板に貼り合わされていても良い。

【0007】

受光素子は、リーダ／ライタから送られてきた第1の光信号を、電気信号(第1の電気信号)に変換し、該第1の電気信号を集積回路に送ることができる。集積回路は、受光素子から送られてきた第1の電気信号に従って動作する。具体的に集積回路は、リーダ／ライタに送るための第2の電気信号を生成し、発光素子に送ることができる。そして発光素子は、集積回路から送られてきた第2の電気信号を第2の光信号に変換し、該第2の光信号をリーダ／ライタに送ることができる。

【0008】

そして本発明のIDチップ、ICカードは、集積回路、発光素子及び受光素子に加え、アンテナを有した形態も取りうる。集積回路は、アンテナで発生した交流の電圧から、電源電圧を生成することができる。なおアンテナは、集積回路と同じ基板上に形成しても良いし、集積回路とは別個に形成し、後に集積回路と電氣的に接続するようにしても良い。本発明のIDチップ、ICカードがアンテナを有していない場合、集積回路は、アンテナとの電氣的な接続を行なうための接続端子を有する。

【0009】

或いは、本発明のIDチップ、ICカードは、アンテナの代わりに電池を有していても

良い。

【0010】

なお集積回路の基板への貼り合わせは、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離し、貼り合わせる方法、耐熱性の高い基板と集積回路の間に剥離層を設け、レーザ光の照射またはエッチングにより該剥離層を除去することで基板と集積回路とを剥離し、貼り合わせる方法、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離し、貼り合わせる方法等、様々な方法を用いることができる。

【0011】

また、別途作製された集積回路どうしを貼り合わせることで、集積回路を積層し、回路規模やメモリの容量を大きくするようにしても良い。集積回路は半導体基板で作製したIDチップに比べて飛躍的に薄いので、複数の集積回路を積層させてもIDチップの機械的強度をある程度維持することができる。積層した集積回路どうしの接続は、フリップチップ法、TAB (Tape Automated Bonding) 法、ワイヤボンディング法などの、公知の接続方法を用いることができる。

【発明の効果】

【0012】

集積回路においてTFETを用い、なおかつ発光素子及び受光素子において、光電変換を行なうための層に非単結晶の薄膜を用いることで、IDチップ自体の厚さを飛躍的に薄くすることができる。そして上記集積回路、発光素子及び受光素子は、半導体基板を用いなくとも良いので、可撓性を有する基板を用いることが可能である。よって、半導体基板を用いた集積回路ほど面積を小さくせずとも、高い機械的強度を得ることができる。従って、回路規模を抑えなくとも集積回路の機械的強度を高め、IDチップ、ICカードの用途範囲をより広げることができる。

【0013】

また本発明では、絶縁分離されたTFETを用いて集積回路を形成するので、半導体基板に形成されたトランジスタとは異なり、基板との間に寄生のダイオードが形成されにくい。従って、ソース領域またはドレイン領域与えられた交流の信号の電位によって、ドレイン領域に大量の電流が流れ込むことがなく、劣化または破壊が起こりにくい。また本発明では、半導体基板を用いて形成された集積回路よりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。

【0014】

そして、集積回路、発光素子及び受光素子を一体形成する場合、集積回路と、発光素子または受光素子とを接続するため配線も、集積回路と一体形成することができる。また、発光素子及び受光素子を集積回路に貼り合わせる場合も、共に薄膜で形成されているので、集積回路と発光素子及び受光素子とを一体化しやすい。よって、いずれの場合においても、IDチップまたはICカード形成時における接続不良の発生を抑えることができる。さらに、可撓性を有する基板を用いる場合、該基板に応力が加えられることにより発生する接続不良をも抑えることができ、信頼性の向上に繋がる。

【0015】

また本発明のように、信号の送受を光通信で行ない、電源電圧の供給を電波で行なうことで、光信号のみで信号の送受及び電源電圧の供給を行なう場合に比べて、高い電源電圧を集積回路に供給することが可能になる。従って、通信距離を長くしたり、電源電圧による集積回路の設計上の制約を抑えたりすることができる。

【0016】

また、電波のみで信号の送受及び電源電圧の供給を行なう場合に比べて、通信エリアを容易に限定することができる。したがって、他の通信装置と同じ周波帯の電波を用いて通信を行なう場合において、通信エリアが重なり信号が混信するのを防ぐことができる。そして光信号を用いることで、速い通信速度を確保することができ、大容量のデータが含ま

れた信号を送受することができる。また光信号を用いる場合、信号の送受に関しては電波法の適用を受けないので、電源電圧の供給が確保される限り、通信距離を長くすることが可能である。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0018】

図1を用いて、本発明のIDチップの構成について説明する。図1(A)に、本発明のIDチップの一形態を斜視図で示す。100は集積回路、101は受光素子、102は発光素子、103はアンテナに相当する。受光素子101、発光素子102、アンテナ103は、共に集積回路100に電氣的に接続されている。集積回路100、受光素子101、発光素子102及びアンテナ103は、基板104上に形成されている。また基板104には、集積回路100、受光素子101、発光素子102及びアンテナ103を間に挟んで、カバー材105が重なっている。

【0019】

なお図1(A)では、アンテナ103が、集積回路100と共に基板104とカバー材105の間に挟まれている構成を示しているが、本発明はこの構成に限定されない。例えば、カバー材105の基板104とは反対側にアンテナ103を形成しておき、カバー材105に開口部を形成し、該開口部を介して集積回路100とアンテナ103とを電氣的に接続するようにしても良い。

【0020】

なお本発明のIDチップは、必ずしもアンテナ103を有している必要はない。アンテナ103を有さない場合、IDチップに、アンテナ103との電氣的な接続を行なうための接続端子を設けるようにする。

【0021】

また図1(A)では、カバー材105を用いてIDチップの機械的強度を高めている例を示しているが、本発明のIDチップは必ずしもカバー材105を用いている必要はない。例えば、集積回路100、受光素子101、発光素子102及びアンテナ103を樹脂等で覆うことで、IDチップの機械的強度を高めるようにしても良い。

【0022】

図1(B)に、図1(A)に示した本発明のIDチップの、機能的な構成をブロック図で示す。

【0023】

集積回路100は、アンテナ103において生じる交流の電圧を、整流化するための整流回路110と、整流化された電圧から直流の電源電圧を生成するための電源回路111とを有する。なお図1(B)において118は、アンテナ103の両端子間に接続されている容量に相当する。電源回路111において生成された電源電圧は、集積回路100内の各種回路に供給される。

【0024】

また集積回路100は、受光素子101から送られてきた電気信号を復調するための復調回路112と、復調回路112において復調された電気信号を用いて、各種演算処理を行なう論理回路113と、プログラムを含む各種データが格納されているメモリ114と、該論理回路113からの信号に従ってメモリ114の番地を指定し、データの書き込みまたは読み出しを行なうためのメモリコントロール回路115とを有する。また論理回路113では、各種演算処理またはメモリ114に格納されているデータを用いることにより、リーダ／ライタに送信するための電気信号を生成することができる。論理回路113において生成された電気信号は、発光素子102において光信号に変換されて、リーダ／

ライタに送信される。

【0025】

なお、図1(B)では、1つの論理回路113を有する集積回路100を例示しているが、本発明はこの構成に限定されない。論理回路113において行なわれる演算処理の内容に合わせて、論理回路113を複数設けるようにしても良い。また、受光素子101において光信号から変換された電気信号を、復調回路112において復調する前に、アンプ116を用いて増幅するようにしても良い。また、論理回路113において生成された電気信号を、発光素子102に送信する前に、アンプ117を用いて増幅するようにしても良い。

【0026】

またメモリ114は1つに限定されず、複数であっても良く、DRAM、SRAM、フラッシュメモリ、ROMまたはFRAM(登録商標)など、各種半導体メモリを用いることができる。メモリ114は、演算処理時の作業エリアとしても用いることができる。

【0027】

また図1(B)は、交流の電圧を生成することができる発振回路と、論理回路113で生成された電気信号に従って、発振回路において生成された交流の電圧に変調を加える変調回路とを有していても良い。この場合発光素子102は、変調が加えられた交流の電圧を、光信号に変換し、リーダ/ライタに送信することができる。

【0028】

なお電源電圧を供給するための、電波の伝送方式は、図1(A)、図1(B)に示したような電磁結合方式に限定されず、電磁誘導方式、マイクロ波方式、その他の伝送方式を用いていても良い。

【0029】

集積回路100は、絶縁分離されたTFTが用いられている。なお集積回路100に用いられる半導体素子はTFTに限定されず、あらゆる半導体素子を用いることができる。例えば、TFTの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどが代表的に挙げられる。

【0030】

次に、本発明のICカードの構成について、図2及び図3を用いて説明する。図2(A)に、本発明のICカードの外観図を示す。201はカード本体であり、202はカード本体201に搭載されている表示装置207の画素部、203は受光素子、204は発光素子に相当する。

【0031】

図2(B)に、図2(A)に示したカード本体201に含まれる、基板205の構成を示す。基板205には、薄膜の半導体膜で形成された集積回路206と、受光素子203と、発光素子204と、表示装置207と、アンテナ208が形成されている。

【0032】

なお図2(B)では、集積回路206、受光素子203及び発光素子204と共に、アンテナ208を形成している例を示しているが、本発明のICカードはこの構成に限定されない。集積回路206とは別に形成しておいたアンテナを、集積回路206に電気的に接続しても良い。この場合、例えば銅線などをコイル状に巻き、100 μ m程度の厚さを有する2枚のプラスチックフィルムの間に該銅線を挟んでプレスしたものを、アンテナとして用いることができる。

【0033】

また図2(B)では、1つのICカードにアンテナ208が1つだけ用いられているが、アンテナ208が複数用いられていても良い。

【0034】

なお、図2(A)、図2(B)では、表示装置207を有するICカードの構成を示しているが、本発明はこの構成に限定されず、必ずしも表示装置を設ける必要はない。ただし、表示装置を設けることで、顔写真のデータを表示装置において表示させることができ

、印刷法を用いた場合に比べて顔写真のすり替えを困難にすることができる。また顔写真以外の情報を表示することができ、ＩＣカードの高機能化を実現することができる。

【0035】

図３に、図２（Ｂ）に示した本発明のＩＣカードの、機能的な構成をブロック図で示す。

【0036】

集積回路２０６は、図１（Ｂ）に示したＩＤチップの場合と同様に、整流回路２１０と、電源回路２１１とを有する。また２２１は、アンテナ２０８の両端子間に接続されている容量に相当する。また集積回路２０６は、復調回路２１２と、論理回路２１３と、メモリ２１４と、メモリコントロール回路２１５とを有する。さらに集積回路２０６は、復調回路２１２において復調される前の電気信号を増幅するためのアンプ２１６、発光素子１０２に送信する前の電気信号を増幅するためのアンプ２１７を有していても良い。これら集積回路２０６に含まれる各種回路の詳しい構成及び動作については、図１（Ｂ）についての説明を参照することができる。

【0037】

さらに図２（Ｂ）に示した本発明のＩＣカードの場合、集積回路２０６が、表示装置２０７に送る各種信号を生成するための、コントロール回路２１８を有している。コントロール回路２１８において生成した信号は、表示装置２０７が有する信号線駆動回路２１９及び走査線駆動回路２２０に送られる。そして信号線駆動回路２１９及び走査線駆動回路２２０によって画素部２０２の動作が制御されることで、画素部２０２に画像を表示することができる。

【0038】

なお図３に示すＩＣカードは、交流の電圧を生成することができる発振回路と、論理回路２１３で生成された電気信号に従って、発振回路において生成された交流の電圧に変調を加える変調回路とを有していても良い。この場合発光素子２０４は、変調が加えられた交流の電圧を、光信号に変換し、リーダ／ライタに送信することができる。

【0039】

なお電源電圧を供給するための、電波の伝送方式は、図２（Ｂ）、図３に示したような電磁結合方式に限定されず、電磁誘導方式、マイクロ波方式、その他の伝送方式を用いても良い。

【0040】

集積回路２０６は、絶縁分離されたＴＦＴが用いられている。なお集積回路２０６に用いられる半導体素子はＴＦＴに限定されず、あらゆる半導体素子を用いることができる。例えば、ＴＦＴの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどが代表的に挙げられる。

【0041】

なお、図１、図２及び図３に示すＩＤチップまたはＩＣカードは、電源電圧の供給を、電波により行なっているが、本発明はこの構成に限定されない。アンテナの代わりに電池を用いて、集積回路への電源電圧の供給を行なっていても良い。図４（Ａ）に、集積回路のうち、電源電圧の生成に関わっている部分のみを、ブロック図で示す。図４（Ａ）において、３０１は電池に相当し、３０２は電源回路に相当する。電源回路は、電池３０１から供給される電源電圧を用い、各種回路に必要な高さの電源電圧を生成することができる。なお電池３０１として、化学電池、光電池などを用いることができる。

【0042】

図４（Ｂ）に、光電池の一種である太陽電池３０３を用いた、ＩＣカードの外観図を示す。太陽電池３０３を用いることで、電池の交換及び電池への充電などを行なわなくとも、ＩＣカードを用いることができる。また、アンテナに加えて、電源電圧の補助を行なうための電池を、ＩＤチップまたはＩＣカードに用いるようにしても良い。

【0043】

次に、本発明のＩＤチップの詳しい作製方法について説明する。なお本実施の形態では

、絶縁分離されたTFTと、受光素子として用いるフォトダイオードとを、半導体素子の一例として示すが、集積回路に用いられる半導体素子はこれに限定されず、あらゆる回路素子を用いることができる。

【0044】

まず図5(A)に示すように、スパッタ法を用いて耐熱性を有する基板(第1の基板)500上に剥離層501を形成する。第1の基板500として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、SUS基板を含む金属基板または半導体基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0045】

剥離層501は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン(セミアモルファスシリコンを含む)等、シリコンを主成分とする層を用いることができる。剥離層501は、スパッタ法、減圧CVD法、プラズマCVD法等を用いて形成することができる。本実施の形態では、膜厚50nm程度の非晶質シリコンを減圧CVD法で形成し、剥離層501として用いる。なお剥離層501はシリコンに限定されず、エッチングにより選択的に除去できる材料で形成すれば良い。剥離層501の膜厚は、50~60nmとするのが望ましい。セミアモルファスシリコンに関しては、30~50nmとしてもよい。

【0046】

次に、剥離層501上に、下地膜502を形成する。下地膜502は第1の基板500中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また下地膜502は、後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。下地膜502は単層であっても複数の絶縁膜を積層したものであっても良い。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いて形成する。

【0047】

本実施の形態では、膜厚100nmのSiON膜、膜厚50nmのSiNO膜、膜厚100nmのSiON膜を順に積層して下地膜502を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5~3μmのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。また、中層のSiNO膜に代えて、窒化珪素膜(SiNx、Si3N4等)を用いてもよい。また、上層のSiON膜に代えて、SiO2膜を用いてもよい。また、それぞれの膜厚は、0.05~3μmとするのが望ましく、その範囲から自由に選択することができる。

【0048】

或いは、剥離層501に最も近い、下地膜502の下層をSiON膜またはSiO2膜で形成し、中層をシロキサン系樹脂で形成し、上層をSiO2膜で形成しても良い。

【0049】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出して所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。また印刷法にはスクリーン印刷法、オフセット印刷法などが含まれる。

【0050】

ここで、酸化珪素膜は、SiH4/O2、TEOS(テトラエトキシシラン)/O2等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH4/NH3の混合ガスを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜(SiOxNy: x>y)、窒化酸化珪素膜(SiNxOy: x>y)は、代表的には、

$\text{SiH}_4/\text{N}_2\text{O}$ の混合ガスを用い、プラズマCVDによって形成することができる。

【0051】

次に、下地膜502上に半導体膜503を形成する。半導体膜503は、下地膜502を形成した後、大気に曝さずに形成することが望ましい。半導体膜503の膜厚は20～200nm（望ましくは40～170nm、好ましくは50～150nm）とする。なお半導体膜503は、非晶質半導体であっても良いし、セミアモルファス半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5atomic%程度であることが好ましい。

【0052】

なお半導体膜503は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、第1の基板500として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法と、950℃程度の高温アニールを組み合わせた結晶法を用いても良い。

【0053】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜503の耐性を高めるために、500℃、1時間の熱アニールを該半導体膜503に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜503に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度とし、照射する。

【0054】

また、パルス発振のレーザ光の発振周波数を10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecとされている。よって上記周波数を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く伸びた単結晶の結晶粒を形成することで、少なくともTFTのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

【0055】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

【0056】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0057】

上述したレーザ光の照射により、結晶性がより高められた半導体膜503が形成される

。なお、予め多結晶半導体を、スパッタ法、プラズマCVD法、熱CVD法などで形成するようにしても良い。

【0058】

また本実施の形態では半導体膜503を結晶化しているが、結晶化せずに非晶質珪素膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いたTF Tは、多結晶半導体を用いたTF Tよりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0059】

非晶質半導体は、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪化物気体を、水素、水素とヘリウムで希釈して用いても良い。

【0060】

なおセミアモルファス半導体とは、非晶質半導体と結晶構造を有する半導体（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。このセミアモルファス半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。セミアモルファス半導体は、そのラマンスペクトルが 520cm^{-1} よりも低波数側にシフトしており、またX線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体（SAS）と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体を得られる。

【0061】

またSASは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪化物気体を希釈して用いることで、SASの形成を容易なものとすることができる。希釈率は2倍~1000倍の範囲で珪化物気体を希釈することが好ましい。またさらに、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体、 F_2 などを混入させて、エネルギーバンド幅を1.5~2.4eV、若しくは0.9~1.1eVに調節しても良い。

【0062】

例えば、 SiH_4 に H_2 を添加したガスを用いる場合、或いは SiH_4 に F_2 を添加したガスを用いる場合、形成したセミアモルファス半導体を用いてTF Tを作製すると、該TF Tのサブスレッショルド係数（S値）を0.35V/sec以下、代表的には0.25~0.09V/secとし、移動度を $10\text{cm}^2/\text{Vsec}$ とすることができる。そして上記セミアモルファス半導体を用いたTF Tで、例えば19段リングオシレータを形成した場合、電源電圧3~5Vにおいて、その発振周波数は1MHz以上、好ましくは100MHz以上の特性を得ることができる。また電源電圧3~5Vにおいて、インバータ1段あたりの遅延時間は26ns、好ましくは0.26ns以下とすることができる。

【0063】

次に、図5（B）に示すように、半導体膜503をパターニングし、島状の半導体膜504~507を形成する。そして、島状の半導体膜504~507を覆うように、ゲート絶縁膜508を形成する。ゲート絶縁膜508は、プラズマCVD法又はスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することができる。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

【0064】

なお、ゲート絶縁膜508を形成した後、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行ない、島状の半導体膜504～507を水素化する工程を行なっても良い。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。また、後の工程において可撓性を有する第2の基板545上に半導体素子を貼り合わせた後、第2の基板545を曲げることにより半導体膜中に欠陥が形成されたとしても、水素化により半導体膜中の水素の濃度を、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ 好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ とすることで、半導体膜に含まれている水素によって該欠陥を終端させることができる。また該欠陥を終端させるために、半導体膜中にハロゲンを含ませておいても良い。

【0065】

次に図5（C）に示すように、ゲート電極509～512を形成する。本実施の形態では、SiとWをスパッタ法で積層するように形成した後、レジスト513をマスクとしてエッチングを行なうことにより、ゲート電極509～512を形成した。勿論、ゲート電極509～512の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型を付与する不純物がドーピングされたSiとNiSi（ニッケルシリサイド）との積層構造や、Ta₂N（窒化タンタル）とW（タングステン）の積層構造としてもよい。また、種々の導電材料を用いて単層で形成しても良い。

【0066】

また、レジストマスクの代わりに、SiO_x等のマスクを用いてもよい。この場合、パターンニングしてSiO_x、SiON等のマスク（ハードマスクと呼ばれる。）を形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極509～512を形成することができる。また、レジスト513を用いずに、液滴吐出法を用いて選択的にゲート電極509～512を形成しても良い。

【0067】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

【0068】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、CF₄、Cl₂、O₂の混合ガスやCl₂ガスを用いたが、これに限定されるものではない。

【0069】

次に図5（D）に示すように、pチャネル型TFTとなる島状の半導体膜505をレジスト514で覆い、ゲート電極509、511、512をマスクとして、島状の半導体膜504、506、507に、n型を付与する不純物元素（代表的にはP（リン）又はAs（砒素））を低濃度にドーピングする（第1のドーピング工程）。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜508を介してドーピングがなされ、島状の半導体膜504、506、507に、一対の低濃度不純物領域515～517が形成される。なお、第1のドーピング工程は、pチャネル型TFTとなる島状の半導体膜505をレジストで覆わずに行っても良い。

【0070】

次に図6（A）に示すように、レジスト514をアッシング等により除去した後、nチャネル型TFTとなる島状の半導体膜504、506、507を覆うように、レジスト518を新たに形成し、ゲート電極510をマスクとして、島状の半導体膜505に、p型を付与する不純物元素（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程）。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40keVとして行なう。この第2のドーピング工程によって、ゲ

ート絶縁膜508を介してドーピングがなされ、島状の半導体膜505に、一对のp型の高濃度不純物領域519が形成される。

【0071】

次に図6(B)に示すように、レジスト518をアッシング等により除去した後、ゲート絶縁膜508及びゲート電極509～512を覆うように、絶縁膜520を形成する。本実施の形態では、膜厚100nmのSiO₂膜をプラズマCVD法によって形成した。その後、エッチバック法により、絶縁膜520、ゲート絶縁膜508を部分的にエッチングし、図6(C)に示すように、ゲート電極509～512の側壁に接するように、サイドウォール521～524を自己整合的(セルフアライン)に形成する。エッチングガスとしては、CHF₃とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

【0072】

なお、絶縁膜520を形成した時に、第1の基板500の裏面にも絶縁膜が形成された場合には、レジストを用い、裏面に形成された絶縁膜を選択的にエッチングし、除去するようにしても良い。この場合、用いられるレジストは、サイドウォール521～524をエッチバック法で形成する際に、絶縁膜520、ゲート絶縁膜508と共にエッチングして、除去するようにしても良い。

【0073】

次に図7(A)に示すように、pチャネル型TFETとなる島状の半導体膜505を覆うように、レジスト525を新たに形成し、ゲート電極509、511、512及びサイドウォール521、523、524をマスクとして、n型を付与する不純物元素(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程)。第3のドーピング工程の条件は、ドーピング量: $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧: 60～100keVとして行なう。この第3のドーピング工程によって、島状の半導体膜504、506、507に、一对のn型の高濃度不純物領域526～528が形成される。

【0074】

なおサイドウォール521、523、524は、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール521、523、524の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域又はオフセット領域の幅を制御するには、サイドウォール521、523、524を形成する際のエッチバック法の条件を適宜変更し、サイドウォール521、523、524のサイズを調整すればよい。

【0075】

次に、レジスト525をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行なうことにより、多結晶半導体膜の欠陥を改善することができる。これは、例えば、多結晶半導体膜中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。

【0076】

上述した一連の工程により、nチャネル型TFET529、pチャネル型TFET530、nチャネル型TFET531、nチャネル型TFET532が形成される。なお、nチャネル型TFET531は、フォトダイオードとして用いることができる。上記作製工程において、エッチバック法の条件を適宜変更し、サイドウォールのサイズを調整することで、チャネル長0.2μm～2μmのTFETを形成することができる。なお、本実施の形態では、TFET529～532をトップゲート構造としたが、ボトムゲート構造(逆スタガ構造)としてもよい。

【0077】

さらに、この後、TFET529～532を保護するためのパッシベーション膜を形成し

でも良い。パッシベーション膜は、アルカリ金属やアルカリ土類金属のTF T 5 2 9 ~ 5 3 2への侵入を防ぐことができる、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。具体的には、例えば膜厚600nm程度のSiON膜を、パッシベーション膜として用いることができる。この場合、水素化処理工程は、該SiON膜形成後に行っても良い。このように、TF T 5 2 9 ~ 5 3 2上には、SiON\SiNx\SiONの3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。上記構成を用いることで、TF T 5 2 9 ~ 5 3 2が下地膜502とパッシベーション膜とで覆われるため、Naなどのアルカリ金属やアルカリ土類金属が、半導体素子に用いられている半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのをより防ぐことができる。

【0078】

次に図7(B)に示すように、TF T 5 2 9 ~ 5 3 2を覆うように、第1の層間絶縁膜533を形成する。第1の層間絶縁膜533は、ポリイミド、アクリル、ポリアミド等の、耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料(low-k材料)、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂(以下、シロキサン系樹脂と呼ぶ)等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有していても良い。第1の層間絶縁膜533の形成には、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第1の層間絶縁膜533を形成しても良い。

【0079】

さらに本実施の形態では、第1の層間絶縁膜533上に、第2の層間絶縁膜534を形成する。第2の層間絶縁膜534としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン系樹脂等を用いてもよい。

【0080】

なお、第1の層間絶縁膜533又は第2の層間絶縁膜534と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、第1の層間絶縁膜533又は第2の層間絶縁膜534の膜剥がれや割れが生じるのを防ぐために、第1の層間絶縁膜533又は第2の層間絶縁膜534中にフィラーを混入させておいても良い。

【0081】

次に図7(B)に示すように、第1の層間絶縁膜533及び第2の層間絶縁膜534にコンタクトホールを形成し、TF T 5 2 9 ~ 5 3 2に接続する配線535~541を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、CHF₃とHeの混合ガスを用いたが、これに限定されるものではない。本実施の形態では、配線535~541を、Alで形成した。なお配線535~541をTi\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法を用いて形成しても良い。

【0082】

なお、Alにおいて、Siを混入させることにより、配線パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれら

に限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0083】

なお、配線535、536はnチャネル型TFT529の高濃度不純物領域526に、配線536、537はpチャネル型TFT530の高濃度不純物領域519に、配線538、539はnチャネル型TFT531の高濃度不純物領域527に、配線540、541はnチャネル型TFT532の高濃度不純物領域528に、それぞれ接続されている。

【0084】

次に図7(C)に示すように、配線535～541を覆うように、第2の層間絶縁膜534上に保護層542を形成する。保護層542は、後に剥離層501をエッチングにより除去する際にTFT529～532及び配線535～541を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層542を形成することができる。

【0085】

本実施の形態では、スピンコート法で水溶性樹脂（東亜合成製：VL-WSHL10）を膜厚30 μ mとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層542を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎたりする恐れがある。従って、第2の層間絶縁膜534と保護層542を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層542の除去がスムーズに行なわれるように、第2の層間絶縁膜534を覆うように、無機絶縁膜（SiN_x膜、SiN_xO_y膜、AlN_x膜、またはAlN_xO_y膜）を形成しておくことが好ましい。

【0086】

次に図8(A)に示すように、IDチップどうしを分離するために溝543を形成する。溝543は、剥離層501が露出する程度の深さを有していれば良い。溝543の形成は、ダイシング、スクライビングなどを用いることができる。なお、第1の基板500上に形成されているIDチップを分離する必要がある場合、必ずしも溝543を形成する必要はない。

【0087】

次に図8(B)に示すように、剥離層501をエッチングにより除去する。本実施の形態では、エッチングガスとしてハロゲン化フッ素を用い、該ガスを溝543から導入する。本実施の形態では、例えばClF₃（三フッ化塩素）を用い、温度：350℃、流量：300sccm、気圧：6Torr、時間：3hの条件で行なう。また、ClF₃ガスに窒素を混ぜたガスを用いても良い。ClF₃等のハロゲン化フッ素を用いることで、剥離層501が選択的にエッチングされ、第1の基板500をTFT529～532から剥離することができる。なおハロゲン化フッ素は、気体であっても液体であってもどちらでも良い。

【0088】

次に図9(A)に示すように、剥離されたTFT529～532を、接着剤544を用いて第2の基板545に貼り合わせる。接着剤544は、第2の基板545と下地膜502とを貼り合わせる材料を用いる。接着剤544は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0089】

第2の基板545として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。または第2の基板545として、フレキシブル無機材料を用いても良い。プラスチック基板は、極性基のついたポリノルボルネンからなるARTON（JSR製）を用いることができる。また、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、

ポリカーボネート（PC）、ナイロン、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。第2の基板545は集積回路において発生した熱を拡散させるために、2～30W/mK程度の高い熱伝導率を有する方が望ましい。

【0090】

次に図9（B）に示すように、配線535～541を覆うように、第2の層間絶縁膜534上に隔壁546を形成する。隔壁546は、配線535の一部及び配線541の一部が露出するような、開口部を有する。また隔壁546は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、ポリイミド、ポリアミドなど、無機絶縁膜ならば酸化珪素、窒化酸化珪素などを用いることができる。特に感光性の有機樹脂膜を隔壁546に用い、配線541の露出している開口部の側壁が、連続した曲率を持って形成される傾斜面となるように形成することで、配線541と、後に形成される電極548とが接続してしまうのを防ぐことができる。このとき、マスクを液滴吐出法または印刷法で形成することができる。また隔壁546自体を、液滴吐出法または印刷法で形成することもできる。

【0091】

次に、発光素子549またはアンテナ550を形成する。本実施の形態では、発光素子549を先に形成する形態について説明するが、アンテナ550を先に形成しても良いし、発光素子549が有する電極548を形成する際にアンテナ550も共に形成するようにしても良い。

【0092】

まず光電変換を行なうための層に相当する、電界発光層547を形成する前に、隔壁546及び配線541に吸着した水分や酸素等を除去するために、大気雰囲気下で加熱処理または真空雰囲気下で加熱処理（真空バーク）を行なっても良い。具体的には、基板の温度を200℃～450℃、好ましくは250～300℃で、0.5～20時間程度、真空雰囲気下で加熱処理を行なう。望ましくは 3×10^{-7} Torr以下とし、可能であるならば 3×10^{-8} Torr以下とするのが最も望ましい。そして、真空雰囲気下で加熱処理を行なった後に電界発光層547を形成する場合、電界発光層547を形成する直前まで当該基板を真空雰囲気下に置いておくことで、信頼性をより高めることができる。また陽極または陰極として用いる配線541は、真空バークの前に、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭拭し、研磨しておいても良い。またCMP法を用いた研磨後に、陽極または陰極として用いる配線541の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

【0093】

そして、隔壁546の開口部において配線541と接するように、電界発光層547を形成する。電界発光層547は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。本実施の形態では、配線541を陰極として用いるので、電界発光層547が複数の層で構成されている場合、配線541上に、電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお配線541が陽極に相当する場合は、電界発光層547を、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層して形成する。

【0094】

なお、電界発光層547の積層構造及び各層に用いる電界発光材料を適宜変更することで、赤外光を発する発光素子549を形成することができる。

【0095】

なお、カラーフィルターを設けて、特定の波長領域の光を透過させるようにしても良い。カラーフィルターは、特定の波長領域の光を透過させることができる着色層と、場合によっては該着色層に加え、可視光を遮蔽することができる遮蔽膜とを有する場合がある。

そしてカラーフィルターは、発光素子を封止するためのカバー材上に形成する場合もあれば、基板に形成する場合もありうる。いずれの場合においても、着色層または遮蔽膜は、印刷法または液滴吐出法を用いて形成することが可能である。

【0096】

そして電界発光層 547 を覆うように、電極 548 を形成する。配線 541 が陰極の場合、電極 548 は陽極に相当する。逆に、配線 541 が陽極の場合、電極 548 は陰極に相当する。電極 548 の作製方法は、蒸着法、スパッタ法、液滴吐出法などを材料に合わせて使い分けることが好ましい。

【0097】

また電界発光層 547 は、高分子系有機化合物、中分子系有機化合物、低分子系有機化合物、無機化合物のいずれを用いても、液滴吐出法で形成することが可能である。また中分子系有機化合物、低分子系有機化合物、無機化合物は蒸着法で形成しても良い。ただし、後にアンテナ 550 が形成される領域とは異なる領域に、電界発光層 547 及び電極 548 を形成するようにする。

【0098】

陽極には、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などその他の透光性酸化物導電材料を用いることが可能である。ITO 及び酸化珪素を含む酸化インジウムスズ (以下、ITSO とする) や、酸化珪素を含んだ酸化インジウムに、さらに 2~20% の酸化亜鉛 (ZnO) を混合したものをを用いても良い。また陽極として上記透光性酸化物導電材料の他に、例えば TiN、ZrN、Ti、W、Ni、Pt、Cr、Ag、Al 等の 1 つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることができる。ただし透光性酸化物導電材料以外の材料で陽極側から光を取り出す場合、光が透過する程度の膜厚 (好ましくは、5 nm~30 nm 程度) で形成する。

【0099】

陰極は、仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、Li や Cs 等のアルカリ金属、および Mg、Ca、Sr 等のアルカリ土類金属、これらを含む合金 (Mg:Ag、Al:Li、Mg:In など)、およびこれらの化合物 (CaF₂、CaN) の他、Yb や Er 等の希土類金属を用いることができる。また電子注入層を設ける場合、Al などの他の導電層を用いることも可能である。また陰極側から光を取り出す場合は、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などその他の透光性酸化物導電材料を用いることが可能である。ITO 及び酸化珪素を含む酸化インジウムスズ (以下、ITSO とする) や、酸化珪素を含んだ酸化インジウムに、さらに 2~20% の酸化亜鉛 (ZnO) を混合したものをを用いても良い。透光性酸化物導電材料を用いる場合、電界発光層 547 に電子注入層を設けるのが望ましい。また透光性酸化物導電材料を用いずとも、陰極を光が透過する程度の膜厚 (好ましくは、5 nm~30 nm 程度) で形成することで、陰極側から光を取り出すことができる。この場合、該陰極の上または下に接するように透光性酸化物導電材料を用いて透光性を有する導電層を形成し、陰極のシート抵抗を抑えるようにしても良い。

【0100】

なお、第 2 の層間絶縁膜 534 を窒化珪素または窒化酸化珪素で形成し、第 2 の層間絶縁膜 534 と接する配線 541 を、ITSO などの透光性酸化物導電材料と酸化珪素を含む導電膜で形成することで、上述した、配線 541 と第 2 の層間絶縁膜 534 の、どの材料の組み合わせよりも、発光素子 549 の輝度を高めることができる。なお、配線 541 に ITSO を用いた場合、含まれる酸化珪素によって水分が付着しやすいので、上述した真空ベークは特に有効である。

【0101】

隔壁 546 の開口部において、配線 541 と電界発光層 547 と電極 548 が重なり合

うことで、発光素子 549 が形成される。

【0102】

なお、発光素子 549 からの光の取り出しは、配線 541 側からであっても良いし、電極 548 側からであっても良いし、その両方からであっても良い。上記 3 つの構成のうち、目的とする構成に合わせて、陽極、陰極それぞれの材料及び膜厚を選択するようにする。

【0103】

次にアンテナ 550 の作製方法について説明する。アンテナ 550 は、導電膜をパターンニングして発光素子 549 が有する電極 548 を形成する際に、同時に形成しておいても良いし、別個の作製方法を用いて形成しても良い。本実施の形態では、電極 548 とは別個の作製方法を用いて、アンテナ 550 を形成する例について説明する。

【0104】

図 9 (B) に、隔壁 546 上に形成されたアンテナ 550 の様子を示す。アンテナ 550 は、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Al、Fe、Co、Zn、Sn、Ni などの金属、金属化合物を 1 つまたは複数有する導電材料を用いることができる。そしてアンテナ 550 は、配線 535 と接続されている。なお図 9 (B) では、アンテナ 550 が配線 535 と直接接続されているが、本発明の ID チップはこの構成に限定されない。例えば別途形成した配線を用いて、アンテナ 550 と配線 535 とを電氣的に接続するようにしても良い。

【0105】

アンテナ 550 は印刷法、フォトリソグラフィ法、蒸着法または液滴吐出法などを用いて形成することができる。本実施の形態では、アンテナ 550 が単層の導電膜で形成されているが、複数の導電膜が積層されたアンテナ 550 を形成することも可能である。例えば、Ni などで形成した配線に、Cu を無電解めっきでコーティングして、アンテナ 550 を形成しても良い。

【0106】

印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも、アンテナ 550 を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、ID チップの作製に費やされるコストを抑えることができる。

【0107】

液滴吐出法または各種印刷法を用いる場合、例えば、Cu を Ag でコートした導電粒子なども用いることが可能である。なお液滴吐出法を用いてアンテナ 550 を形成する場合、該アンテナ 550 の密着性が高まるような処理を、隔壁 546 の表面に施すことが望ましい。

【0108】

密着性を高めることができる方法として、具体的には、例えば触媒作用により導電膜または絶縁膜の密着性を高めることができる金属または金属化合物を隔壁 546 の表面に付着させる方法、形成される導電膜または絶縁膜との密着性が高い有機系の絶縁膜、金属、金属化合物を隔壁 546 の表面に付着させる方法、隔壁 546 の表面に大気圧下または減圧下においてプラズマ処理を施し、表面改質を行なう方法などが挙げられる。また、上記導電膜または絶縁膜との密着性が高い金属として、チタン、チタン酸化物の他、3d 遷移元素である Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn などが挙げられる。また金属化合物として、上述した金属の酸化物、窒化物、酸窒化物などが挙げられる。上記有機系の絶縁膜として、例えばポリイミド、シロキサン系樹脂等が挙げられる。

【0109】

隔壁 546 に付着させる金属または金属化合物が導電性を有する場合、アンテナの正常な動作が妨げられないように、そのシート抵抗を制御する。具体的には、導電性を有する金属または金属化合物の平均の厚さを、例えば 1 ~ 10 nm となるように制御したり、該

金属または金属化合物を酸化により部分的に、または全体的に絶縁化したりすれば良い。或いは、密着性を高めたい領域以外は、付着した金属または金属化合物をエッチングにより選択的に除去しても良い。また金属または金属化合物を、予め基板の全面に付着させるのではなく、液滴吐出法、印刷法、ゾルーゲル法などを用いて特定の領域にのみ選択的に付着させても良い。なお金属または金属化合物は、隔壁546の表面において完全に連続した膜状である必要はなく、ある程度分散した状態であっても良い。

【0110】

なお、発光素子549、アンテナ550を形成したら、発光素子549またはアンテナ550を覆うように、保護膜を形成しても良い。保護膜は、水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法、CVD法などで形成された窒化珪素膜等を用いるのが望ましい。また、例えば窒化炭素膜と窒化珪素を積層した膜、ポリスチレンを積層した膜などを、保護膜として用いても良い。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすいが内部応力の低い膜とを積層させて、保護膜として用いることも可能である。本実施の形態では窒化珪素を用いる。保護膜として窒化珪素を用いる場合、低い成膜温度で緻密な保護膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、保護膜中に混入させると良い。

【0111】

次に図9(C)に示すように、発光素子549及びアンテナ550を覆うように、接着剤551を隔壁546上に塗布し、カバー材552を貼り合わせる。カバー材552は第2の基板545と同様の材料を用いることができる。接着剤551の厚さは、例えば10〜200 μm とすれば良い。

【0112】

また接着剤551は、カバー材552と隔壁546及びアンテナ550とを貼り合わせることができる材料を用いる。接着剤551は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0113】

上述した各工程を経て、IDチップが完成する。上記作製方法によって、トータルの膜厚0.3 μm 以上3 μm 以下、代表的には2 μm 程度の飛躍的に薄い集積回路を第2の基板545とカバー材552との間に形成することができる。なお集積回路の厚さは、半導体素子自体の厚さのみならず、接着剤544と接着剤551間に形成された各種絶縁膜及び層間絶縁膜の厚さを含めるものとする。またIDチップが有する集積回路の占める面積を、5mm四方(25mm²)以下、より望ましくは0.3mm四方(0.09mm²)〜4mm四方(16mm²)程度とすることができる。

【0114】

なお集積回路を、第2の基板545とカバー材552の間のより中央に位置させることで、IDチップの機械的強度を高めることができる。具体的には、第2の基板545とカバー材552の間の距離をdとすると、第2の基板545と、集積回路の厚さ方向における中心Oとの距離xが、以下の数1に示す式を満たすように、接着剤544、接着剤551の厚さを制御することが望ましい。

【0115】

【数1】

$$\frac{1}{2}d - 30\mu\text{m} < x < \frac{1}{2}d + 30\mu\text{m}$$

【0116】

また好ましくは、以下の数2に示す式を満たすように、接着剤544、接着剤551の厚さを制御する。

【0117】

【数2】

$$\frac{1}{2}d - 10\mu m < x < \frac{1}{2}d + 10\mu m$$

【0118】

また、図10に示すように、集積回路におけるTFTの島状の半導体膜から下部の下地膜までの距離（ t_{under} ）と、島状の半導体膜から上部の隔壁546までの距離（ t_{over} ）が、等しく又は概略等しくなるように、下地膜502、第1の層間絶縁膜533、第2の層間絶縁膜534または隔壁546の厚さを調整しても良い。このようにして、島状の半導体膜を集積回路の中央に配置せしめることで、半導体層への応力を緩和することができる。

【0119】

なお図9（C）では、カバー材552を用いる例を示しているが、本発明はこの構成に限定されない。例えば図9（B）に示した工程までで終了としても良いし、図9（B）に示した工程の後に、アンテナ550及び発光素子549を保護するための層を形成して、完成としても良い。

【0120】

なお本実施の形態では、耐熱性の高い第1の基板500と集積回路の間に剥離層を設け、エッチングにより該剥離層を除去することで基板と集積回路とを剥離する方法について示したが、本発明のIDチップの作製方法は、この構成に限定されない。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離しても良い。或いは、耐熱性の高い基板と集積回路の間に、水素を含む非晶質半導体膜を用いた剥離層を設け、レーザー光の照射により該剥離層を除去することで基板と集積回路とを剥離しても良い。或いは、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離しても良い。

【0121】

またIDチップの可撓性を確保するために、下地膜502に接する接着剤544に有機樹脂を用いる場合、下地膜502として窒化珪素膜または窒化酸化珪素膜を用いることで、有機樹脂からNaなどのアルカリ金属やアルカリ土類金属が半導体膜中に拡散するのを防ぐことができる。

【0122】

また対象物の表面が曲面を有しており、それにより該曲面貼り合わされたIDチップの第2の基板545が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線の方角とTFT529～532のキャリアが移動する方角とを揃えておくことが望ましい。上記構成により、第2の基板545が曲がっても、それによってTFT529～532の特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、1～30%とすることで、第2の基板545が曲がっても、それによってTFT529～532の特性に影響が出るのをより抑えることができる。

【0123】

なお本実施の形態では、アンテナを集積回路と同じ基板上に形成している例について説明したが、本発明はこの構成に限定されない。別の基板上に形成したアンテナと集積回路とを、後に貼り合わせることで、電氣的に接続するようにしても良い。また、本実施の形態では、アンテナ550と、発光素子549とを、共に隔壁546上に形成した例を示しているが、本発明はこの構成に限定されず、アンテナ550と、発光素子549とが、異なる層上に形成されていても良い。

【0124】

なお一般的にIDチップで用いられている電波の周波数は、13.56MHz、2.4

5GHzが多く、該周波数の電波を検波できるようにIDチップを形成することが、汎用性を高める上で非常に重要である。

【0125】

また本実施の形態のIDチップでは、半導体基板を用いて形成されたIDチップよりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。よって、半導体基板を用いずに済むので、IDチップのコストを大幅に低くすることができる。例えば、直径12インチのシリコン基板を用いた場合と、 $730 \times 920 \text{ mm}^2$ のガラス基板を用いた場合とを比較する。前者のシリコン基板の面積は約 73000 mm^2 であるが、後者のガラス基板の面積は約 672000 mm^2 であり、ガラス基板はシリコン基板の約9.2倍に相当する。後者のガラス基板の面積は約 672000 mm^2 では、基板の分断により消費される面積を無視すると、1mm四方のIDチップが約672000個形成できる計算になり、該個数はシリコン基板の約9.2倍の数に相当する。そしてIDチップの量産化を行なうための設備投資は、 $730 \times 920 \text{ mm}^2$ のガラス基板を用いた場合の方が直径12インチのシリコン基板を用いた場合よりも工程数が少なく済むため、額を3分の1で済ませることができる。さらに本発明では、集積回路を剥離した後、ガラス基板を再び利用できる。よって、破損したガラス基板を補填したり、ガラス基板の表面を清浄化したりする費用を踏まえても、シリコン基板を用いる場合より大幅にコストを抑えることができる。またガラス基板を再利用せずに廃棄していったとしても、 $730 \times 920 \text{ mm}^2$ のガラス基板の値段は、直径12インチのシリコン基板の半分程度で済むので、IDチップのコストを大幅に低くすることができることがわかる。

【0126】

従って、 $730 \times 920 \text{ mm}^2$ のガラス基板を用いた場合、直径12インチのシリコン基板を用いた場合よりも、IDチップの値段を約30分の1程度に抑えることができることがわかる。IDチップは、使い捨てを前提とした用途も期待されているので、コストを大幅に低くすることができる本発明のIDチップは上記用途に非常に有用である。

【0127】

なお本実の形態では、集積回路を剥離して、可撓性を有する基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。

【0128】

また本発明のICカードも、上記作製方法を参照して形成することができる。ただし、ICカードが表示装置を有する場合、表示装置は、集積回路と別個に形成して第2の基板に貼り合わせても良いし、集積回路と一緒に形成して第2の基板に貼り合わせても良い。

【実施例1】

【0129】

本実施例では、実施の形態とは異なり、別々の基板上に形成したアンテナと集積回路とを電氣的に接続する、IDチップの構成について説明する。

【0130】

図11(A)に示すように、本実施例のIDチップでは、開口部を有する隔壁1200が形成されており、該開口部において配線1201の一部と、配線1202の一部とが露出している。そして隔壁1200上には、開口部において配線1201と接続されている端子1203が形成されている。また隔壁1200上には、開口部において配線1202に接している電界発光層1204と、電界発光層1204に接している電極1205とが形成されている。該開口部において配線1202と、電界発光層1204と、電極1205とが重なり合うことで、発光素子1206が形成されている。

【0131】

そして端子1203を覆うように、隔壁1200上に接着剤1207が形成されており、該接着剤1207により、隔壁1200にカバー材1208が貼り合わされている。接

着剤 1207 は、異方導電性樹脂を用いることができる。

【0132】

カバー材 1208 には、予めアンテナ 1209 が形成されている。アンテナ 1209 は、カバー材 1208 の隔壁 1200 とは反対側に形成されており、その一部が、カバー材 1208 に形成されたコンタクトホールを介して、端子 1203 側に露出している。なおアンテナ 1209 は、カバー材 1208 の隔壁 1200 側に形成されていても良い。そして、接着剤 1207 に異方導電性樹脂を用いることで、アンテナ 1209 と端子 1203 とを電氣的に接続することができる。

【0133】

異方導電性樹脂は、樹脂中に導電材料を分散させた材料である。樹脂として、例えばエポキシ系、ウレタン系、アクリル系などの熱硬化性を有するもの、ポリエチレン系、ポリプロピレン系などの熱可塑性を有するもの、シロキサン系材料などを用いることができる。また導電材料として、例えばポリスチレン、エポキシなどのプラスチック製の粒子に Ni、Au などめっきしたもの、Ni、Au、Ag、はんだなどの金属粒子、粒子状または繊維状のカーボン、繊維状の Ni に Au をめっきしたものなどを用いることができる。導電材料のサイズは、アンテナ 1209 と端子 1203 のピッチに合わせて決めることが望ましい。

【0134】

またアンテナ 1209 と端子 1203 との間において、異方導電性樹脂に超音波を加えながら圧着させても良いし、紫外線の照射で硬化させながら圧着させても良い。

【0135】

なお本実施例では、異方導電性樹脂を用いた接着剤 1207 でアンテナ 1209 と端子 1203 とを電氣的に接続する例を示しているが、本発明はこの構成に限定されない。接着剤 1207 の代わりに、異方導電性フィルムを用い、該異方導電性フィルムを圧着することで、アンテナ 1209 と端子 1203 とを電氣的に接続しても良い。

【0136】

なお本実施例では、集積回路を剥離して、可撓性を有する基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。図 11 (B) に、ガラス基板を用いて形成された、ID チップの一形態を、断面図で示す。

【0137】

図 11 (B) に示す ID チップでは、基板 1210 としてガラス基板を用いており、集積回路に用いられる半導体素子 1211 ~ 1214 と基板 1210 との間に、接着剤を間に挟んでおらず、基板 1210 と下地膜 1215 とが接するように形成されている。上記構成により、接着剤に含まれている Na などのアルカリ金属やアルカリ土類金属、または水分などが、半導体素子 1211 ~ 1214 に用いられている半導体膜中に拡散する恐れがなくなる。

【実施例 2】

【0138】

本実施例では、本発明の ID チップまたは IC カードに用いられるフォトダイオードの、一例について説明する。

【0139】

図 12 (A) に、本実施例の ID チップまたは IC カードの断面図を示す。図 12 (A) では、フォトダイオード 1500 が第 2 の層間絶縁膜 1501 上に形成されており、フォトダイオード 1500 の駆動を制御するための TFT 1502 が、第 1 の層間絶縁膜 1503、第 2 の層間絶縁膜 1501 に覆われている。なお、本実施例では、TFT 1502 が、第 1 の層間絶縁膜 1503、第 2 の層間絶縁膜 1501 の、2 つの層間絶縁膜に覆われているが、本実施例はこの構成に限定されない。TFT 1502 は、単層の層間絶縁膜で覆われていても良いし、3 層以上の層間絶縁膜で覆われていても良い。

【0140】

フォトダイオード1500は、第2の層間絶縁膜1501上に形成されたカソード電極1504と、カソード電極1504上に形成された、光電変換を行なうための層に相当する光電変換層1505と、光電変換層1505上に形成されたアノード電極1506とを有している。カソード電極1504は、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(CaF₂、CaN)の他、YbやEr等の希土類金属を用いることができる。光電変換層1505は、例えば、水素を含有する非晶質珪素膜を用いて形成することができる。またアノード電極1506は、例えば、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を用いることが可能である。ITO及び酸化珪素を含む酸化インジウムスズ(以下、ITSOとする)や、酸化珪素を含んだ酸化インジウムに、さらに2~20%の酸化亜鉛(ZnO)を混合したものをを用いても良い。

【0141】

なお、カソード電極1504、光電変換層1505、アノード電極1506は、それぞれ単層で形成されていても良いし、複数の層で形成されていても良い。

【0142】

また図12(B)に示すように、光を遮蔽するための遮蔽膜1513を、フォトダイオード1511に対して基板1510とは反対側に設けることで、フォトダイオード1511に入射する光の方向を限定することができる。遮蔽膜1513には、光を遮蔽できるような金属膜、顔料を添加した樹脂などを用いることができる。

【0143】

なお図12(B)では、発光素子1512から発せられる光が基板1510の反対側に向いており、基板1510側からの光がフォトダイオード1511に優先的に入射するように遮蔽膜1513が形成されているが、本実施例はこの構成に限定されない。遮蔽膜1513が形成される位置は、図12(B)に示した位置に限定されない。また発光素子1512から発せられる光の向きも、図12(B)に示した構成に限定されず、基板1510側に光が向いていても良い。

【0144】

なお遮蔽膜1513は、実施の形態で示した構成を有するフォトダイオードを用いる場合でも、形成することは可能である。

【0145】

本発明のIDチップまたはICカードに用いられるフォトダイオードは、本実施例に示した構成に限定されない。

【0146】

本実施例は、実施例1と組み合わせて実施することが可能である。

【実施例3】

【0147】

図13(A)を用いて、1つの導電膜をパターンニングすることで、TFTに接続されている配線と、アンテナとを共に形成する場合の、IDチップまたはICカードの構成について説明する。図13(A)に、本実施例のIDチップまたはICカードの断面図を示す。

【0148】

図13(A)において、1401は、発光素子1409の動作を制御するためのTFTに相当する。TFT1401は、島状の半導体膜1402と、島状の半導体膜1402に接しているゲート絶縁膜1403と、ゲート絶縁膜1403を間に挟んで島状の半導体膜1402と重なっているゲート電極1404とを有している。またTFT1401は、第1の層間絶縁膜1405及び第2の層間絶縁膜1406に覆われている。なお、本実施例では、TFT1401が、第1の層間絶縁膜1405、第2の層間絶縁膜1406の、2

つの層間絶縁膜に覆われているが、本実施例はこの構成に限定されない。TFT1401は、単層の層間絶縁膜で覆われていても良いし、3層以上の層間絶縁膜で覆われていても良い。

【0149】

そして第2の層間絶縁膜1406の上に形成された配線1407は、第1の層間絶縁膜1405及び第2の層間絶縁膜1406に形成されたコンタクトホールを介して、島状の半導体膜1402に接続されている。

【0150】

また第2の層間絶縁膜1406上には、アンテナ1408が形成されている。配線1407とアンテナ1408は、第2の層間絶縁膜1406上に導電膜を形成し、該導電膜をパターニングすることで形成することができる。アンテナ1408を配線1407と共に形成することで、IDチップまたはICカードの作製工程数を抑えることができる。

【0151】

次に図13(B)を用いて、1つの導電膜をパターニングすることで、TFTのゲート電極と、アンテナとを共に形成する場合の、IDチップまたはICカードの構成について説明する。図13(B)に、本実施例のIDチップまたはICカードの断面図を示す。

【0152】

図13(B)において、1411は、発光素子1419の動作を制御するためのTFTに相当する。TFT1411は、島状の半導体膜1412と、島状の半導体膜1412と重なっているゲート絶縁膜1413と、ゲート絶縁膜1413を間に挟んで島状の半導体膜1412と重なっているゲート電極1414とを有している。またゲート絶縁膜1413上には、アンテナ1418が形成されている。ゲート電極1414とアンテナ1418は、ゲート絶縁膜1413上に導電膜を形成し、該導電膜をパターニングすることで形成することができる。アンテナ1418をゲート電極1414と共に形成することで、IDチップまたはICカードの作製工程数を抑えることができる。

【0153】

なお本実施例では、集積回路を剥離して、別途用意した基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。

【実施例4】

【0154】

本実施例では、発光素子の動作を制御するTFTがp型の場合における、画素の断面構造について、図14を用いて説明する。なお図14では、発光素子が有する2つの電極のうち、TFTに直接または電氣的に接続されている一方の電極(第1の電極)が陽極、他方の電極(第2の電極)が陰極の場合について説明するが、第1の電極が陰極、第2の電極が陽極であっても良い。

【0155】

図14(A)に、TFT6001がp型で、発光素子6003から発せられる光を第1の電極6004側から取り出す場合の、画素の断面図を示す。図14(A)では、発光素子6003の第1の電極6004と、TFT6001とが、配線6009を介して電氣的に接続されているが、本発明はこの構成に限定されない。TFT6001と直接接続されている配線6009の一部を、第1の電極6004として用いても良い。

【0156】

TFT6001は、第1の層間絶縁膜6007及び第2の層間絶縁膜6002で覆われている。なお、図14(A)では、TFT6001が、第1の層間絶縁膜6007及び第2の層間絶縁膜6002の、2つの層間絶縁膜に覆われているが、本実施例はこの構成に限定されない。TFT6001は、単層の層間絶縁膜で覆われていても良いし、3層以上の層間絶縁膜で覆われていても良い。

【0157】

第2の層間絶縁膜6002上には、開口部を有する隔壁6008が形成されている。隔壁6008の開口部において第1の電極6004が一部露出しており、該開口部において第1の電極6004、電界発光層6005、第2の電極6006が順に積層されている。

【0158】

また図14(A)では、第1の電極6004が陽極、第2の電極6006が陰極の場合を示している。陽極として用いるのに適している材料、または陰極として用いるのに適している材料については、実施の形態を参照することができる。ただし、第1の電極6004は、光を透過するような、材料または膜厚で形成する。また第2の電極6006は、光を反射もしくは遮蔽するような、材料及び膜厚で形成する。

【0159】

電界発光層6005は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。電界発光層6005が発光層の他に、正孔注入層、正孔輸送層、電子輸送層、電子注入層のいずれかを有している場合、第1の電極6004から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層の順に積層する。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。なお中分子系の材料とは、構造単位の繰返しの数(重合度)が2から20程度の低重合体に相当する。正孔注入層と正孔輸送層との区別は必ずしも厳密なものではなく、これらは正孔輸送性(正孔移動度)が特に重要な特性である意味において同じである。便宜上正孔注入層は陽極に接する側の層であり、正孔注入層に接する層を正孔輸送層と呼んで区別する。電子輸送層、電子注入層についても同様であり、陰極に接する層を電子注入層と呼び、電子注入層に接する層を電子輸送層と呼んでいる。発光層は電子輸送層を兼ねる場合もあり、発光性電子輸送層とも呼ばれる。

【0160】

図14(A)に示した画素の場合、発光素子6003から発せられる光を、白抜き印で示すように第1の電極6004側から取り出すことができる。

【0161】

次に図14(B)に、TF T 6011がp型で、発光素子6013から発せられる光を第2の電極6016側から取り出す場合の、画素の断面図を示す。図14(B)では、TF T 6011と直接接続されている配線の一部を、第1の電極6014として用いているが、本発明はこの構成に限定されない。発光素子6013の第1の電極6014と、TF T 6011とが、別途形成した配線を介して電氣的に接続されても良い。

【0162】

また第1の電極6014上に電界発光層6015、第2の電極6016が順に積層されている。図14(B)では、第1の電極6014が陽極、第2の電極6016が陰極の場合を示している。陽極として用いるのに適している材料、または陰極として用いるのに適している材料については、実施の形態を参照することができる。ただし、第1の電極6014は、光を反射もしくは遮蔽するような、材料または膜厚で形成する。また第2の電極6016は、光を透過するような、材料及び膜厚で形成する。

【0163】

電界発光層6015は、図14(A)の電界発光層6005と同様に形成することができる。図14(B)に示した画素の場合、発光素子6013から発せられる光を、白抜き印の矢印で示すように第2の電極6016側から取り出すことができる。

【0164】

次に図14(C)に、TF T 6021がp型で、発光素子6023から発せられる光を第1の電極6024側及び第2の電極6026側から取り出す場合の、画素の断面図を示す。図14(C)では、発光素子6023の第1の電極6024と、TF T 6021とが、配線6029を介して電氣的に接続されているが、本発明はこの構成に限定されない。

TFT6021と直接接続されている配線6029の一部を、第1の電極6024として用いても良い。

【0165】

また第1の電極6024上に電界発光層6025、第2の電極6026が順に積層されている。図14(C)では、第1の電極6024が陽極、第2の電極6026が陰極の場合を示している。陽極として用いるのに適している材料、または陰極として用いるのに適している材料については、実施の形態を参照することができる。ただし、第1の電極6024及び第2の電極6026は、光を透過するような、材料及び膜厚で形成する。

【0166】

電界発光層6025は、図14(A)の電界発光層6005と同様に形成することができる。図14(C)に示した画素の場合、発光素子6023から発せられる光を、白抜き矢印で示すように第1の電極6024側及び第2の電極6026側から取り出すことができる。

【0167】

なお本実施例では、TFT6001、6011、6021が、2つのTFTが直列に接続されたような、ゲート電極を2つ有する構造(ダブルゲート構造)を有しているが、本実施例はこの構成に限定されない。ゲート電極を1つだけ有するシングルゲート構造であっても良いし、3つ以上のTFTが直列に接続されたような、ゲート電極を3つ以上有する構造(マルチゲート構造)を有していても良い。

【実施例5】

【0168】

本実施例では、発光素子の動作を制御するTFTがn型の場合における、画素の断面構造について、図15を用いて説明する。なお図15では、発光素子が有する2つの電極のうち、TFTに直接または電氣的に接続されている一方の電極(第1の電極)が陰極、他方の電極(第2の電極)が陽極の場合について説明するが、第1の電極が陽極、第2の電極が陰極であっても良い。

【0169】

図15(A)に、TFT6031がn型で、発光素子6033から発せられる光を第1の電極6034側から取り出す場合の、画素の断面図を示す。図15(A)では、発光素子6033の第1の電極6034と、TFT6031とが、配線6039を介して電氣的に接続されているが、本発明はこの構成に限定されない。TFT6031と直接接続されている配線6039の一部を、第1の電極6034として用いても良い。

【0170】

また第1の電極6034上に電界発光層6035、第2の電極6036が順に積層されている。図15(A)では、第1の電極6034が陰極、第2の電極6036が陽極の場合を示している。陽極として用いるのに適している材料、または陰極として用いるのに適している材料については、実施の形態を参照することができる。ただし、第1の電極6034は、光を透過するような、材料または膜厚で形成する。また第2の電極6036は、光を反射もしくは遮蔽するような、材料及び膜厚で形成する。

【0171】

電界発光層6035は、図14(A)の電界発光層6005と同様に形成することができる。ただし、電界発光層6035が発光層の他に、正孔注入層、正孔輸送層、電子輸送層、電子注入層のいずれかを有している場合、第1の電極6034から、電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層の順に積層する。

【0172】

図15(A)に示した画素の場合、発光素子6033から発せられる光を、白抜き矢印で示すように第1の電極6034側から取り出すことができる。

【0173】

次に図15(B)に、TFT6041がn型で、発光素子6043から発せられる光を第2の電極6046側から取り出す場合の、画素の断面図を示す。図15(B)では、T

FT6041と直接接続されている配線の一部を、第1の電極6044として用いているが、本発明はこの構成に限定されない。発光素子6043の第1の電極6044と、FT6041とが、別途形成した配線を介して電氣的に接続されても良い。

【0174】

また第1の電極6044上に電界発光層6045、第2の電極6046が順に積層されている。図15(B)では、第1の電極6044が陰極、第2の電極6046が陽極の場合を示している。陽極として用いるのに適している材料、または陰極として用いるのに適している材料については、実施の形態を参照することができる。ただし、第1の電極6044は、光を反射もしくは遮蔽するような、材料または膜厚で形成する。また第2の電極6046は、光を透過するような、材料及び膜厚で形成する。

【0175】

電界発光層6045は、図15(A)の電界発光層6035と同様に形成することができる。図15(B)に示した画素の場合、発光素子6043から発せられる光を、白抜き矢印で示すように第2の電極6046側から取り出すことができる。

【0176】

次に図15(C)に、FT6051がn型で、発光素子6053から発せられる光を第1の電極6054側及び第2の電極6056側から取り出す場合の、画素の断面図を示す。図15(C)では、発光素子6053の第1の電極6054と、FT6051とが、配線6059を介して電氣的に接続されているが、本発明はこの構成に限定されない。FT6051と直接接続されている配線6059の一部を、第1の電極6054として用いても良い。

【0177】

また第1の電極6054上に電界発光層6055、第2の電極6056が順に積層されている。図15(C)では、第1の電極6054が陰極、第2の電極6056が陽極の場合を示している。陽極として用いるのに適している材料、または陰極として用いるのに適している材料については、実施の形態を参照することができる。ただし、第1の電極6054及び第2の電極6056は、光を透過するような、材料及び膜厚で形成する。

【0178】

電界発光層6055は、図15(A)の電界発光層6035と同様に形成することができる。図15(C)に示した画素の場合、発光素子6053から発せられる光を、白抜き矢印で示すように第1の電極6054側及び第2の電極6056側から取り出すことができる。

【0179】

なお本実施例では、FT6031、6041、6051が、2つのFTが直列に接続されたような、ゲート電極を2つ有する構造(ダブルゲート構造)を有しているが、本実施例はこの構成に限定されない。ゲート電極を1つだけ有するシングルゲート構造であっても良いし、3つ以上のFTが直列に接続されたような、ゲート電極を3つ以上有する構造(マルチゲート構造)を有していても良い。

【実施例6】

【0180】

本実施例では、本発明のIDチップまたはICカードに用いられるFTの構成について説明する。

【0181】

図16(A)に、本実施例のFTの断面図を示す。701はnチャネル型FT、702はpチャネル型FTに相当する。nチャネル型FT701を例に挙げて、より詳しい構成について説明する。

【0182】

nチャネル型FT701は活性層として用いる島状の半導体膜705を有しており、該島状の半導体膜705は、ソース領域またはドレイン領域として用いる2つの不純物領域703と、該2つの不純物領域703の間に挟まれているチャンネル形成領域704と、

2つの不純物領域703とチャネル形成領域704の間に挟まれている2つのLDD (Light Doped Drain) 領域710とを有している。またnチャネル型TFET701は、島状の半導体膜705を覆っているゲート絶縁膜706と、ゲート電極707と、絶縁膜で形成された2つのサイドウォール708、709とを有している。

【0183】

なお本実施例ではゲート電極707が、2層の導電膜707a、707bを有しているが、本発明はこの構成に限定されない。ゲート電極707は1層の導電膜で形成されていても良いし、2層以上の導電膜で形成されていても良い。ゲート電極707は、ゲート絶縁膜706を間に挟んで、島状の半導体膜705が有するチャネル形成領域704と重なっている。またサイドウォール708、709は、ゲート絶縁膜706を間に挟んで、島状の半導体膜705が有する2つのLDD領域710と重なっている。

【0184】

サイドウォール708は、例えば膜厚100nmの酸化珪素膜をエッチングすることで、サイドウォール709は、例えば膜厚200nmのLTO膜 (Low Temperature Oxide、低温酸化膜) をエッチングすることで形成することができる。本実施例では、サイドウォール708に用いられる酸化珪素膜をプラズマCVD法で形成し、サイドウォール709に用いられるLTO膜を、酸化珪素膜を減圧CVD法で形成する。なお酸化珪素膜には、窒素が混じっていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

【0185】

不純物領域703及びLDD領域710は、ゲート電極707をマスクにして島状の半導体膜705にn型の不純物をドーピングした後、サイドウォール708、709を形成し、該サイドウォール708、709マスクとして島状の半導体膜705にn型の不純物をドーピングすることで、作り分けることができる。

【0186】

なおpチャネル型TFET702は、nチャネル型TFET701と構成はほとんど同じであるが、pチャネル型TFET702が有する島状の半導体膜711の構成のみ異なっている。島状の半導体膜711はLDD領域を有しておらず、2つの不純物領域712と、該2つの不純物領域712に挟まれているチャネル形成領域713とを有している。そして、不純物領域712には、p型の不純物がドーピングされている。なお図16(A)では、pチャネル型TFET702がLDD領域を有していない例を示しているが、本発明はこの構成に限定されない。pチャネル型TFET702がLDD領域を有していても良い。

【0187】

図16(B)に、図16(A)に示したTFETにおいて、サイドウォールが1つである場合を示す。図16(B)に示すnチャネル型TFET721と、pチャネル型TFET722は、それぞれ1つのサイドウォール728、729を有している。サイドウォール728、729は、例えば膜厚100nmの酸化珪素膜をエッチングすることで形成することができる。本実施例では、サイドウォール728に用いられる酸化珪素膜をプラズマCVD法で形成する。なお酸化珪素膜には、窒素が混じっていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

【0188】

次に図16(C)に、ボトムゲート型のTFETの構成を示す。741はnチャネル型TFET、742はpチャネル型TFETに相当する。nチャネル型TFET741を例に挙げて、より詳しい構成について説明する。

【0189】

図16(C)において、nチャネル型TFET741は島状の半導体膜745を有しており、該島状の半導体膜745は、ソース領域またはドレイン領域として用いる2つの不純物領域743と、該2つの不純物領域743の間に挟まれているチャネル形成領域744と、2つの不純物領域743とチャネル形成領域744の間に挟まれている2つのLDD (Light Doped Drain) 領域750とを有している。またnチャネル型TFET741は、ゲート絶縁膜746と、ゲート電極747と、絶縁膜で形成された保護膜748を有して

いる。

【0190】

ゲート電極747は、ゲート絶縁膜746を間に挟んで、島状の半導体膜745が有するチャンネル形成領域744と重なっている。ゲート絶縁膜746は、ゲート電極747が形成された後に形成されており、島状の半導体膜745はゲート絶縁膜746が形成された後に形成されている。また保護膜748は、チャンネル形成領域744を間に挟んでゲート絶縁膜746と重なっている。

【0191】

保護膜748は、例えば膜厚100nmの酸化珪素膜をエッチングすることで形成することができる。本実施例では、保護膜748に用いられる酸化珪素膜をプラズマCVD法で形成する。なお酸化珪素膜には、窒素が混じっていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

【0192】

不純物領域743及びLDD領域750は、レジストで形成したマスクを用いて島状の半導体膜745にn型の不純物をドーピングした後、保護膜748を形成し、該保護膜748マスクとして島状の半導体膜745にn型の不純物をドーピングすることで、作り分けることができる。

【0193】

なおpチャンネル型TFET742は、nチャンネル型TFET741と構成はほとんど同じであるが、pチャンネル型TFET742が有する島状の半導体膜751の構成のみ異なっている。島状の半導体膜751はLDD領域を有しておらず、2つの不純物領域752と、該2つの不純物領域752に挟まれているチャンネル形成領域753とを有している。そして、不純物領域752には、p型の不純物がドーピングされている。なお図16(A)では、pチャンネル型TFET742がLDD領域を有していない例を示しているが、本発明はこの構成に限定されない。pチャンネル型TFET742がLDD領域を有していても良い。

【0194】

本実施例は、実施例1～実施例5の構成と組み合わせて実施することが可能である。

【実施例7】

【0195】

本実施例では、大型の基板を用いて、複数のIDチップまたはICカードを作製する方法について説明する。

【0196】

まず、耐熱性を有する基板上に集積回路401及びアンテナ402を形成した後、剥離し、図17(A)に示すように、別途用意した基板403上に、接着剤404を用いて貼り合わせる。なお図17(A)では、集積回路401及びアンテナ402を一組ずつ基板403上に貼り合わせている様子を示しているが、本発明はこの構成に限定されない。集積回路401及びアンテナ402の組を、互いに繋がった状態で剥離し、一度に基板403上に貼り合わせるようにしても良い。

【0197】

次に図17(B)に示すように、間に集積回路401及びアンテナ402を挟むように、基板403にカバー材405を貼り合わせる。このとき、集積回路401及びアンテナ402を覆うように、基板403上に接着剤406を塗布しておく。カバー材405を基板403に貼り合わせることで、図17(C)に示す状態が得られる。なお、図17(C)では、集積回路401及びアンテナ402の位置を明確にするために、カバー材405を通して透けて見えるように、集積回路401及びアンテナ402を図示している。

【0198】

次に図17(D)に示すように、ダイシングまたはスクライブにより、集積回路401及びアンテナ402を互いに分離することで、IDチップまたはICカード407を完成させる。

【0199】

なお本実施例では、アンテナ 402 を集積回路 401 と共に剥離する例を示しているが、本実施例はこの構成に限定されない。予め基板 403 上にアンテナを形成しておき、集積回路 401 を貼り合わせる際に、集積回路 401 とアンテナを電氣的に接続しても良い。或いは、集積回路 401 を基板 403 に貼り合わせた後、集積回路 401 に電氣的に接続するようにアンテナを貼り合わせても良い。或いは、予めカバー材 405 上に 403 上にアンテナを形成しておき、カバー材 405 を基板 403 に貼り合わせる際に、集積回路 401 とアンテナを電氣的に接続しても良い。

【0200】

なお、基板 403 とカバー材 405 とがフレキシブルである場合、応力を加えた状態で ID チップまたは IC カード 407 を使用することも可能である。本発明では、応力緩和膜により ID チップまたは IC カード 407 に加えられる応力のある程度緩和することができる。またバリア膜を複数設けることで、バリア膜 1 枚あたりの応力を抑えることができるので、応力により、或いはアルカリ金属、アルカリ土類金属または水分の半導体膜中への拡散により、半導体素子の特性に悪影響が出るのを防ぐことができる。

【0201】

なお、ガラス基板を用いた ID チップを IDG チップ (Identification Glass Chip)、フレキシブルな基板を用いた ID チップを IDF チップ (Identification Flexible Chip) と呼ぶことができる。

【0202】

本実施例は、実施例 1～実施例 6 と組み合わせて実施することが可能である。

【実施例 8】

【0203】

本実施例では、1つの基板上に形成された複数の集積回路を剥離する際、形成される溝の形状について説明する。図 18 (A) に、溝 601 が形成された基板 603 の上面図を示す。また図 18 (B) に、図 18 (A) の A-A' における断面図を示す。

【0204】

集積回路 602 は、剥離層 604 上に形成されており、剥離層 604 は基板 603 上に形成されている。溝 601 は各集積回路 602 の間に形成されており、なおかつ剥離層 604 が露出する程度の深さを有している。また本実施例では、複数の集積回路 602 は溝 601 によって完全にではなく部分的に分離されている。

【0205】

次に図 18 (A)、図 18 (B) に示した溝 601 からエッチングガスを流し込み、剥離層 604 をエッチングにより除去した後の様子を、図 18 (C)、図 18 (D) に示す。図 18 (C) は、溝 601 が形成された基板 603 の上面図に相当し、図 18 (D) は、図 18 (C) の A-A' における断面図に相当する。エッチングにより溝 601 から破線 605 に示す領域まで、剥離層 604 のエッチングが進んだものとする。図 18 (C)、図 18 (D) に示すように、複数の集積回路 602 が、完全にではなく互いに一部繋がった状態で溝 601 により分離されていることで、剥離層 604 をエッチングした後に各集積回路 602 が支えをなくして移動してしまうのを防ぐことができる。

【0206】

図 18 (C)、図 18 (D) に示した状態まで形成したら、接着剤が付着したテープや、基板等を別途用意し、集積回路 602 を基板 603 から剥離する。そして剥離された複数の集積回路 602 は、互いに分断される前またはされた後に、支持体に貼り合わせられる。

【0207】

なお本実施例では、ID チップまたは IC カードの作製方法の一例を示しており、本発明の ID チップまたは IC カードの作製方法は本実施例で示した構成に限定されない。

【0208】

本実施例は、実施例 1～実施例 7 と組み合わせて実施することが可能である。

【実施例 9】

【0209】

本発明のIDチップは、フレキシブルな基板を用いている場合、可撓性を有する対象物、或いは曲面を有する対象物に、貼り合わせるのに好適である。また本発明のIDチップが有する集積回路の中に、データの書き換えができないROMなどのメモリを形成しておけば、IDチップが取り付けられた対象物の偽造を防止することができる。また例えば、産地、生産者などによって商品価値が大きく左右される食料品に、本発明のIDチップを用いることは、産地、生産者などの偽装を低いコストで防止するのに有用である。

【0210】

具体的に本発明のIDチップは、例えば、荷札、値札、名札など、対象物の情報を有するタグに取り付けて用いることができる。或いは、本発明のIDチップ自体をタグとして用いても良い。また例えば、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、鑑定書、クレジットカード、キャッシュカード、プリペイドカード、診察券、定期券など、事実を証明する文書に相当する証書に取り付けても良い。また例えば、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、抵当証券など、私法上の財産権を表示する証券に相当する有価証券に取り付けても良い。

【0211】

図19(A)に、本発明のIDチップ1302を取り付けた小切手1301の一例を示す。図19(A)では、IDチップ1302が小切手1301の内部に取り付けられているが、表に露出させておいても良い。

【0212】

図19(B)に、本発明のIDチップ1303を取り付けたパスポート1304の一例を示す。図19(B)では、IDチップ1303がパスポート1304の表紙に取り付けられているが、パスポート1304が有する他のページに取り付けられていても良い。

【0213】

図19(C)に、本発明のIDチップ1305を取り付けた、商品券1306の一例を示す。なおIDチップ1305は商品券1306の内部に形成しても良いし、商品券1306の表面に露出させるように形成しても良い。

【0214】

またTFTを有する集積回路を用いたIDチップは、安価、かつ薄型である。そのため本発明のIDチップは、最終的に消費者によって使い捨てられるような用途に向いている。特に、数円、数十円単位の値段の差が売り上げに大きく影響する商品に用いる場合、本発明の安価でかつ薄型のIDチップを有する包装材は、非常に有用である。包装材とは、ラップ、ペットボトル、トレイ、カプセルなど、対象物を包装するために成形が可能な、或いは成形された支持体に相当する。

【0215】

図20(A)に、本発明のIDチップ1307が取り付けられた包装材1308で、販売用のお弁当1309を包装している様子を示す。IDチップ1307内に商品の価格などを記録しておくことで、リーダ/ライタとしての機能を有するレジスターでお弁当1309の代金を清算することができる。

【0216】

また例えば、商品のラベルに本発明のIDチップを付けておき、該IDチップを用いて商品の流通を管理するような利用の仕方も可能である。

【0217】

図20(B)に示すように、裏面が粘着性を有する商品のラベル1310などの支持体に、本発明のIDチップ1311を取り付ける。そして、IDチップ1311が取り付けられたラベル1310を、商品1311に装着する。商品1311に関する識別情報は、ラベル1310に貼り合わされたIDチップ1311から、無線で読み取ることが可能である。よってIDチップ1311により、流通の過程において、商品の管理が容易になる。

。

【0218】

例えば、IDチップ1311内の集積回路が有するメモリとして、書き込みが可能な不揮発性メモリを用いている場合、商品1311の流通のプロセスを記録することができる。また商品の生産段階におけるプロセスを記録しておくことで、卸売業者、小売業者、消費者が、産地、生産者、製造年月日、加工方法などを把握することが容易になる。

【0219】

本実施例は、実施例1～実施例8の構成と組み合わせて実施することが可能である。

【図面の簡単な説明】**【0220】**

【図1】本発明のIDチップの斜視図及び機能を示すブロック図。

【図2】本発明のICカードの外観図及び内部構造を示す図。

【図3】本発明のICカードの機能を示すブロック図。

【図4】集積回路のうち、電源電圧の生成に関わっている部分を示すブロック図及び太陽電池を用いたICカードの外観図。

【図5】本発明のIDチップの作製方法を示す図。

【図6】本発明のIDチップの作製方法を示す図。

【図7】本発明のIDチップの作製方法を示す図。

【図8】本発明のIDチップの作製方法を示す図。

【図9】本発明のIDチップの作製方法を示す図。

【図10】本発明のIDチップの断面図。

【図11】本発明のIDチップまたはICカードの断面図。

【図12】本発明のIDチップまたはICカードの断面図。

【図13】本発明のIDチップまたはICカードの断面図。

【図14】本発明のIDチップまたはICカードが有する発光素子の断面図。

【図15】本発明のIDチップまたはICカードが有する発光素子の断面図。

【図16】本発明のIDチップまたはICカードが有するTF Tの断面図。

【図17】大型の基板を用いて、本発明のIDチップまたはICカードに用いられる集積回路を複数作製する方法を示す図。

【図18】1つの基板上に形成された複数の集積回路を剥離する際、形成される溝の形状を示す図。

【図19】本発明のIDチップの利用方法について示す図。

【図20】本発明のIDチップの利用方法について示す図。

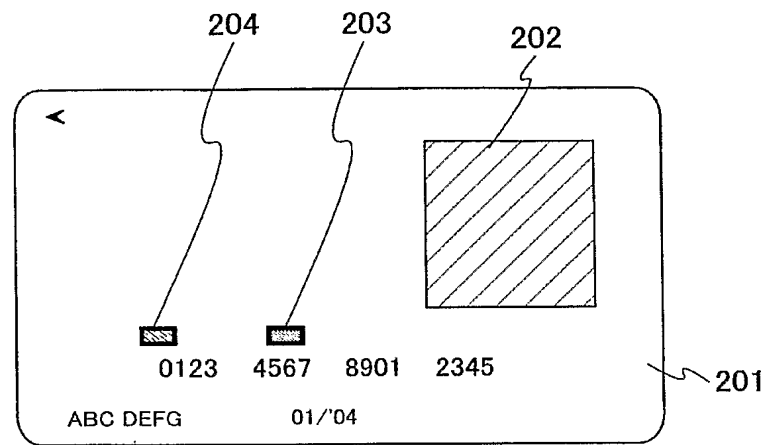
【符号の説明】**【0221】**

- 100 集積回路
- 101 受光素子
- 102 発光素子
- 103 アンテナ
- 104 基板
- 105 カバー材
- 110 整流回路
- 111 電源回路
- 112 復調回路
- 113 論理回路
- 114 メモリ
- 115 メモリコントロール回路
- 116 アンプ
- 117 アンプ
- 118 容量
- 201 カード本体
- 202 画素部

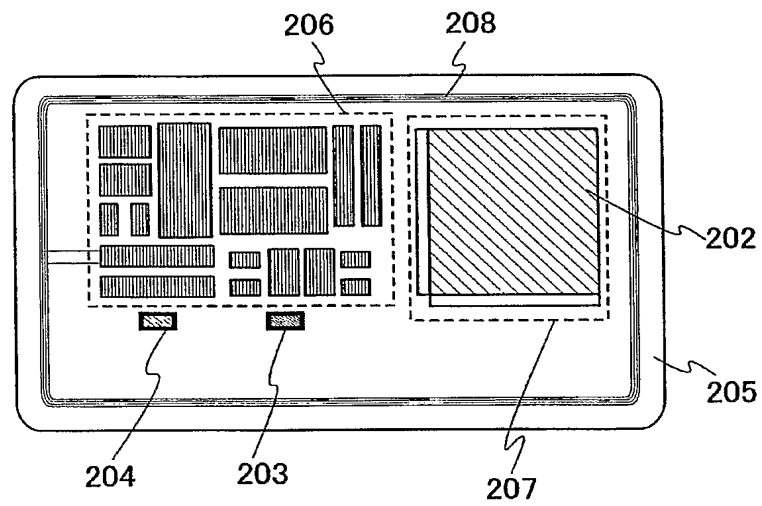
2 0 3 受光素子
2 0 4 発光素子
2 0 5 基板
2 0 6 集積回路
2 0 7 表示装置
2 0 8 アンテナ
2 1 0 整流回路
2 1 1 電源回路
2 1 2 復調回路
2 1 3 論理回路
2 1 4 メモリ
2 1 5 メモリコントロール回路
2 1 6 アンプ
2 1 7 アンプ
2 1 8 コントロール回路
2 1 9 信号線駆動回路
2 2 0 走査線駆動回路
2 2 1 容量

【図 2】

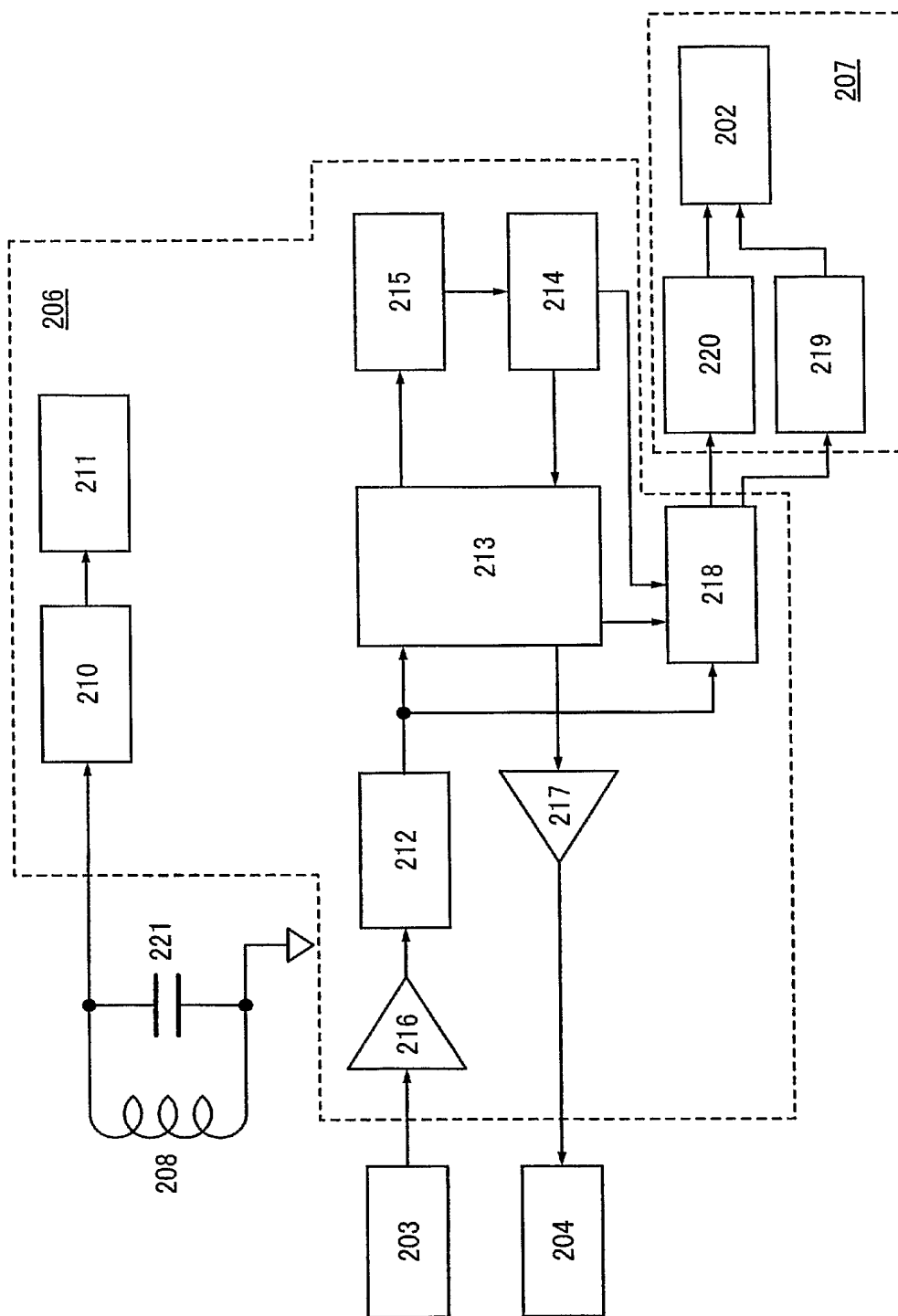
(A)



(B)

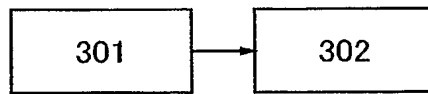


【図 3】

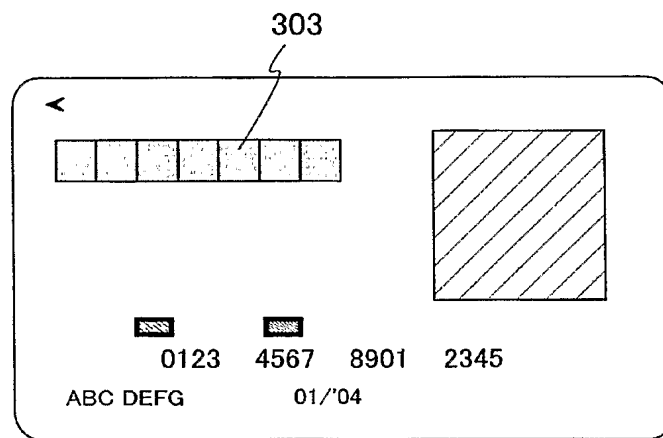


【図 4】

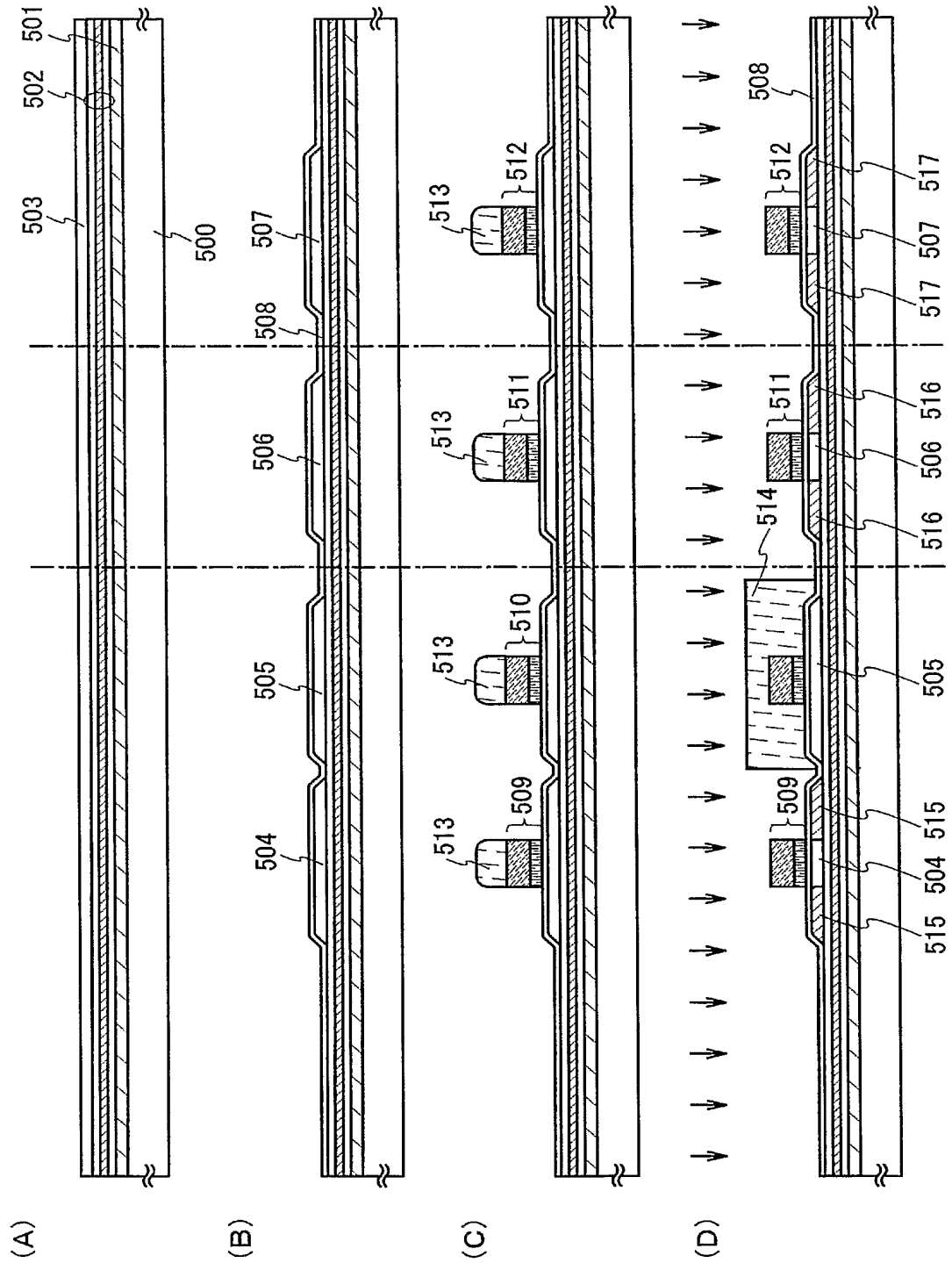
(A)



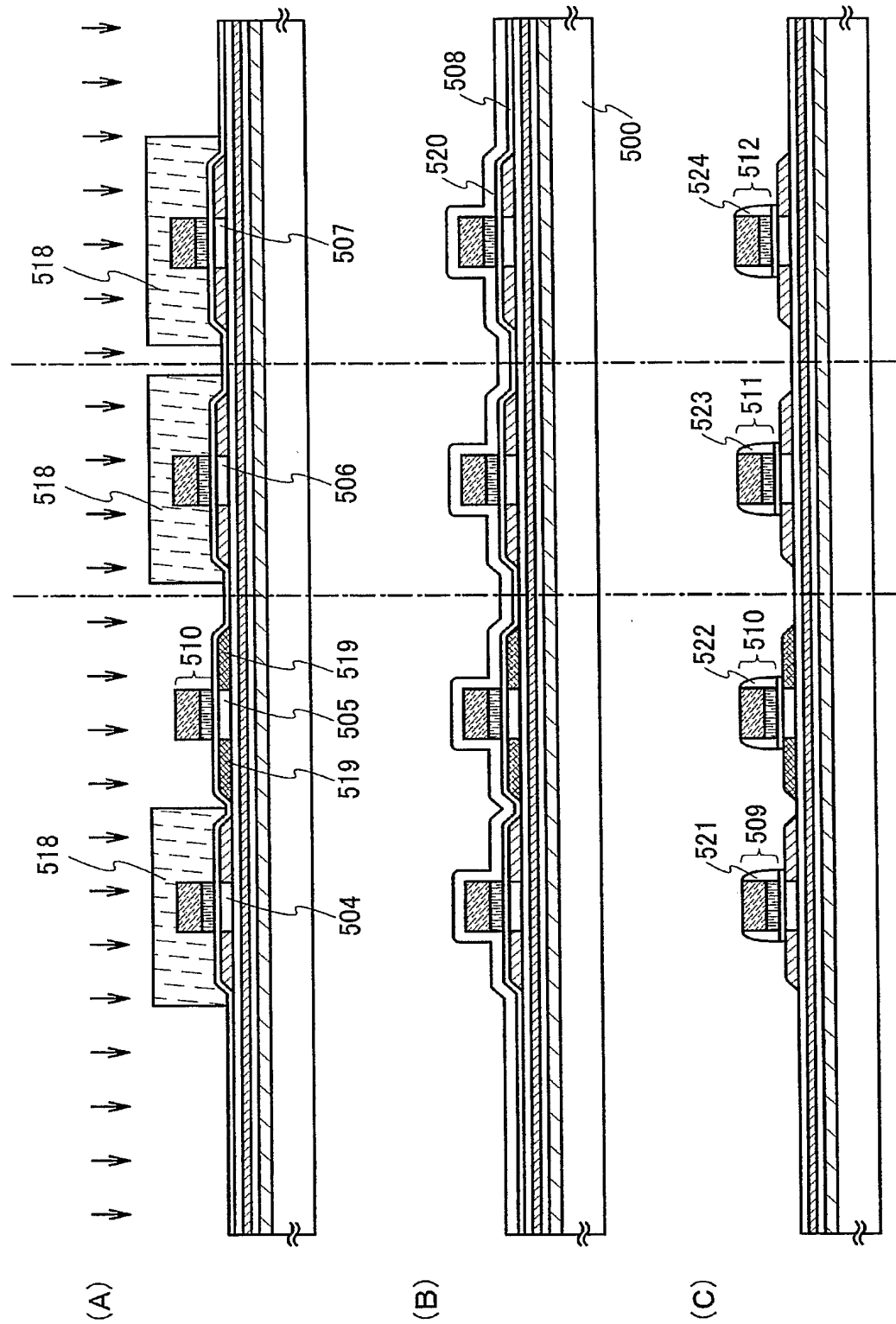
(B)



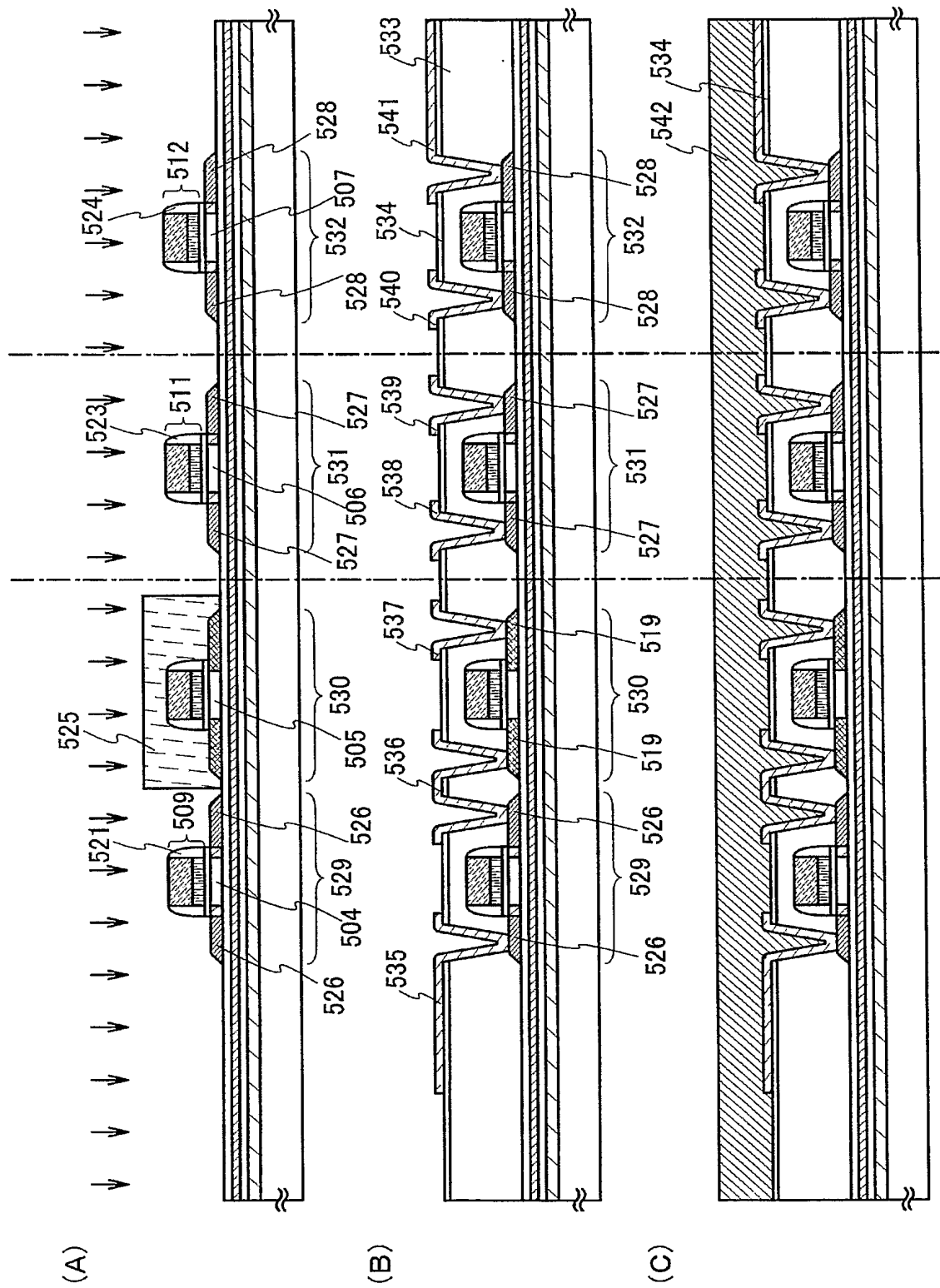
【図 5】



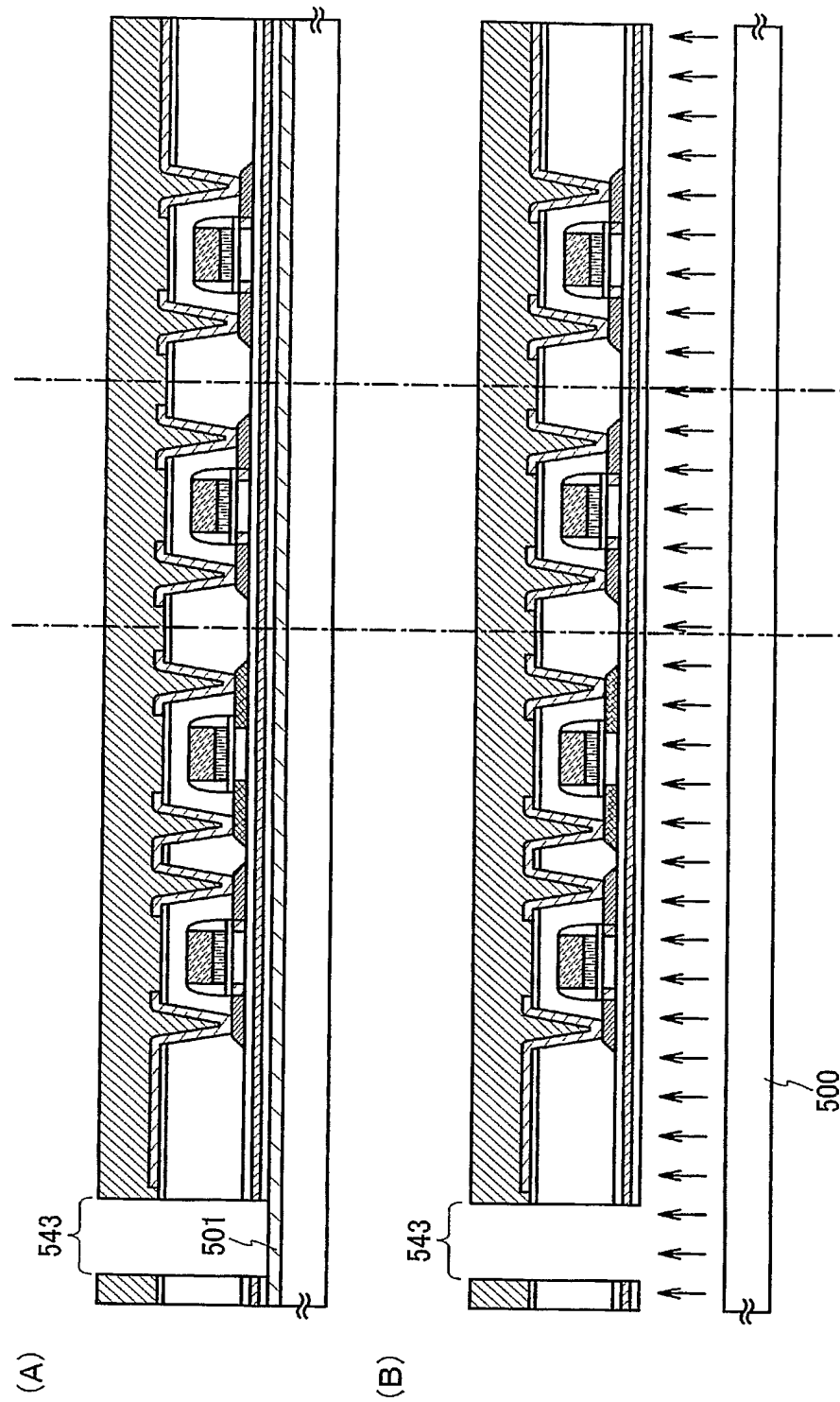
【図 6】



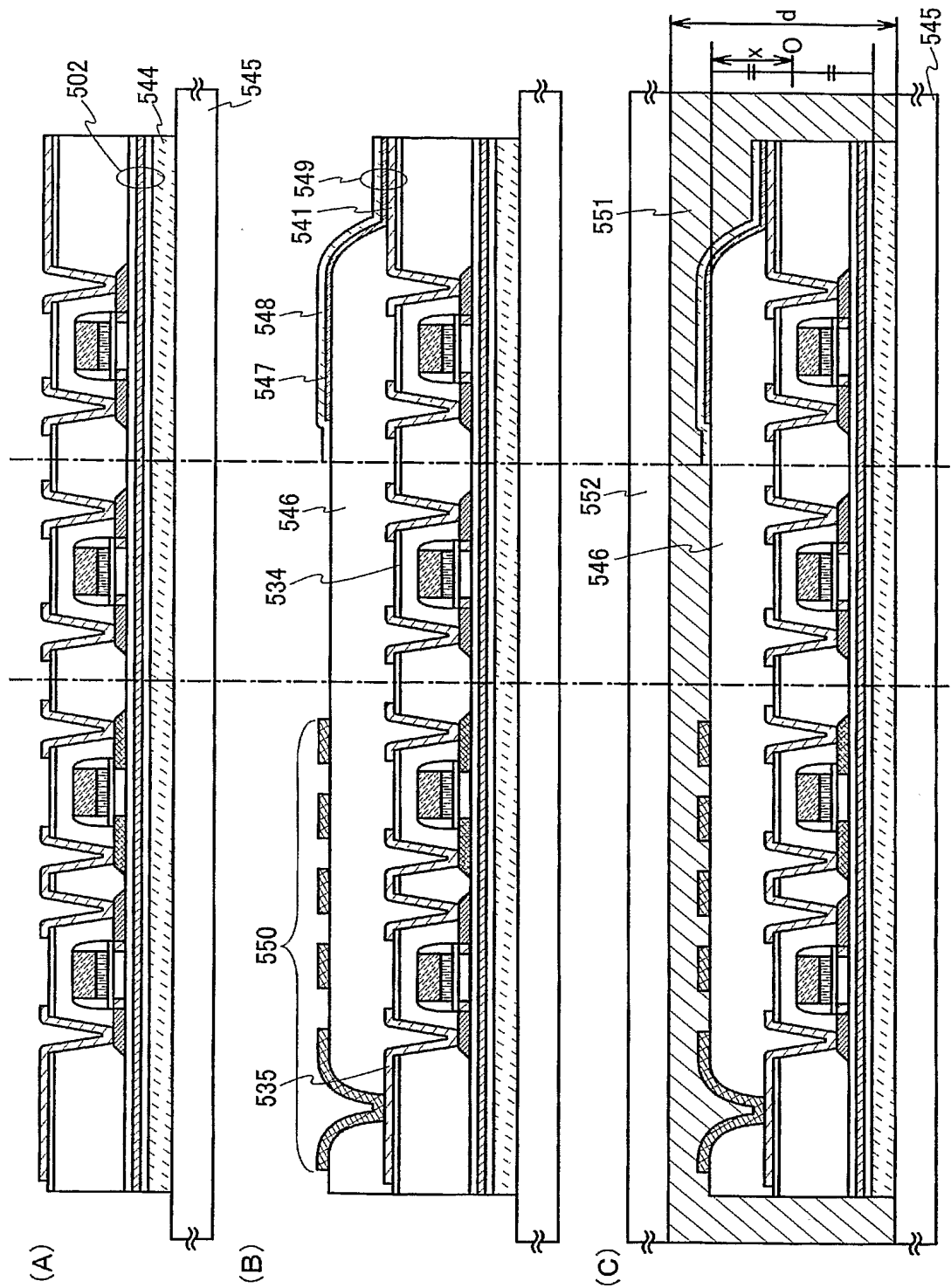
【図 7】



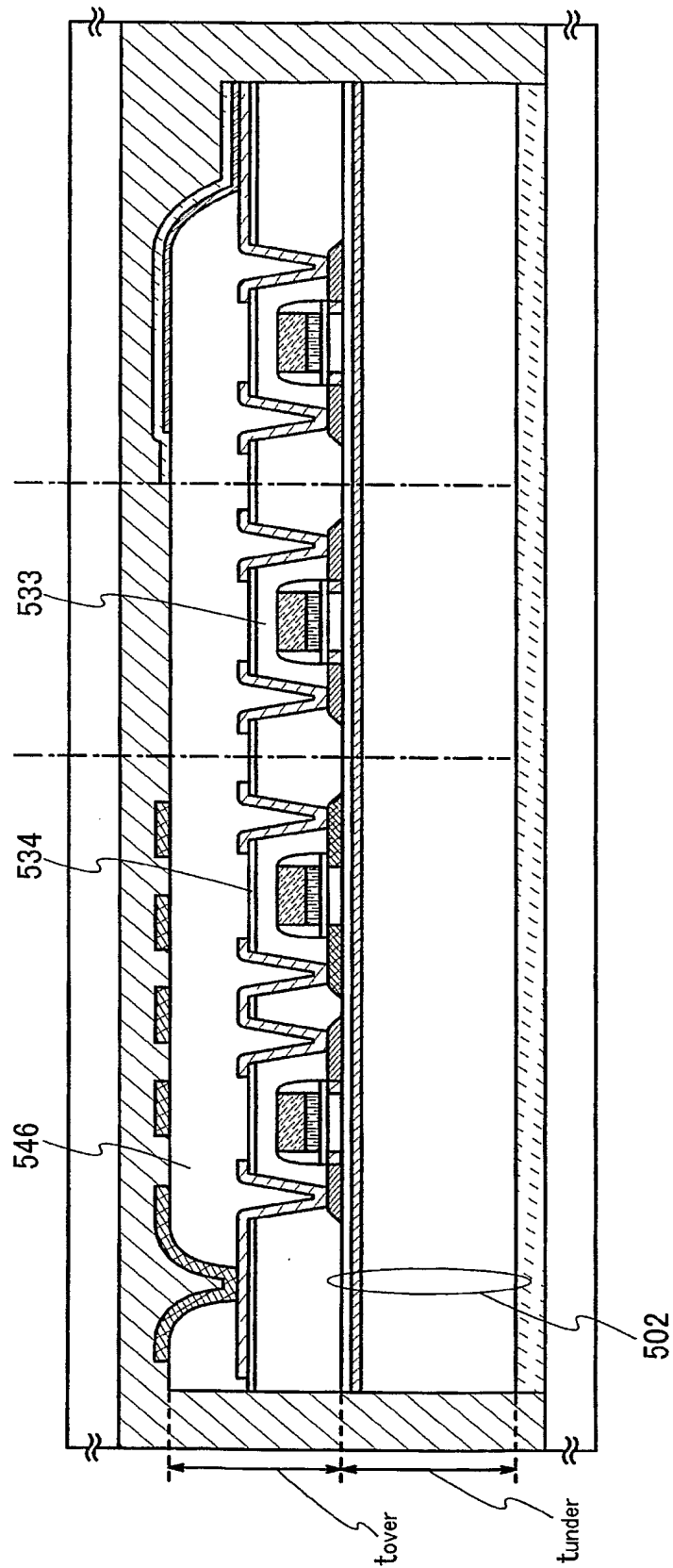
【図 8】



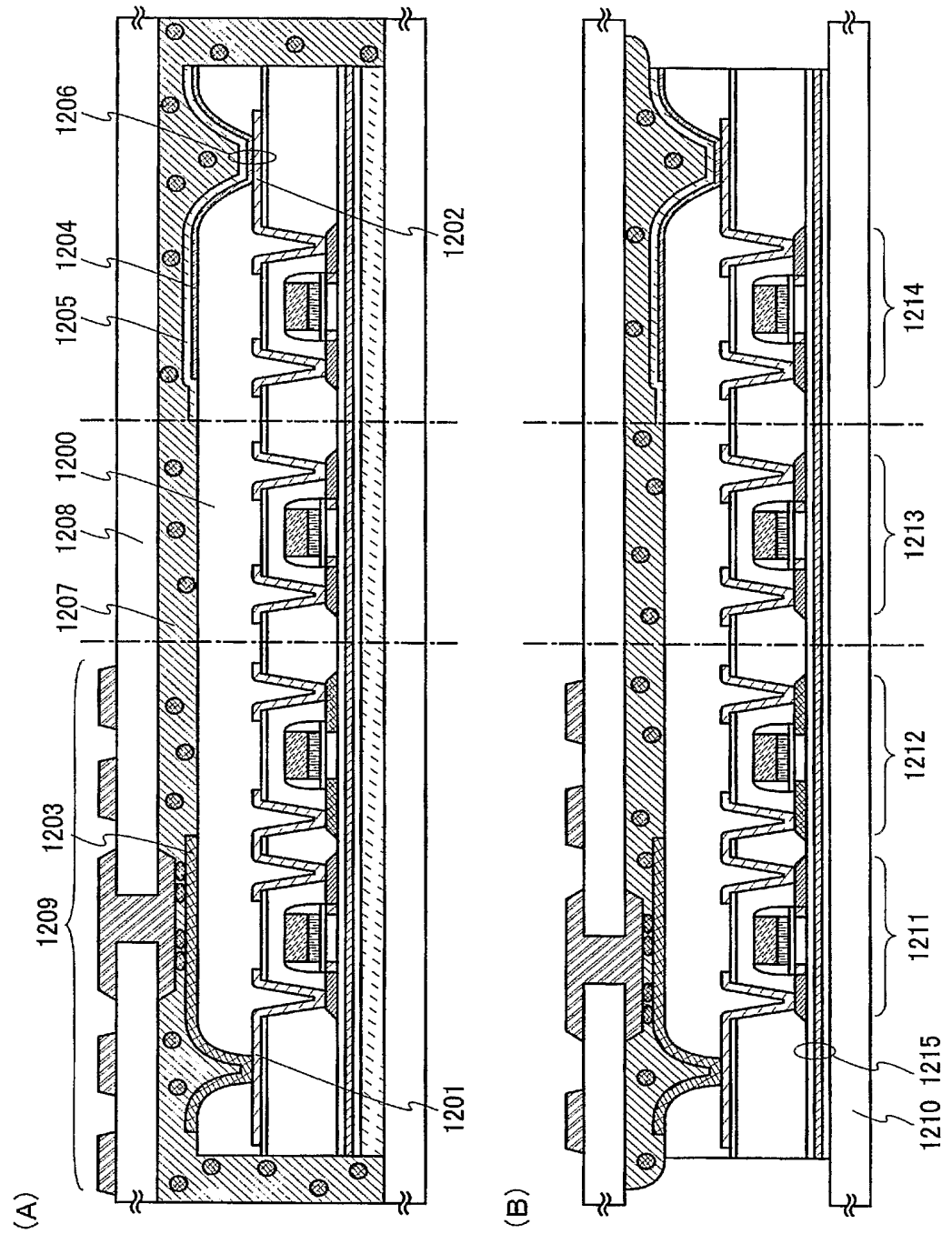
【図 9】



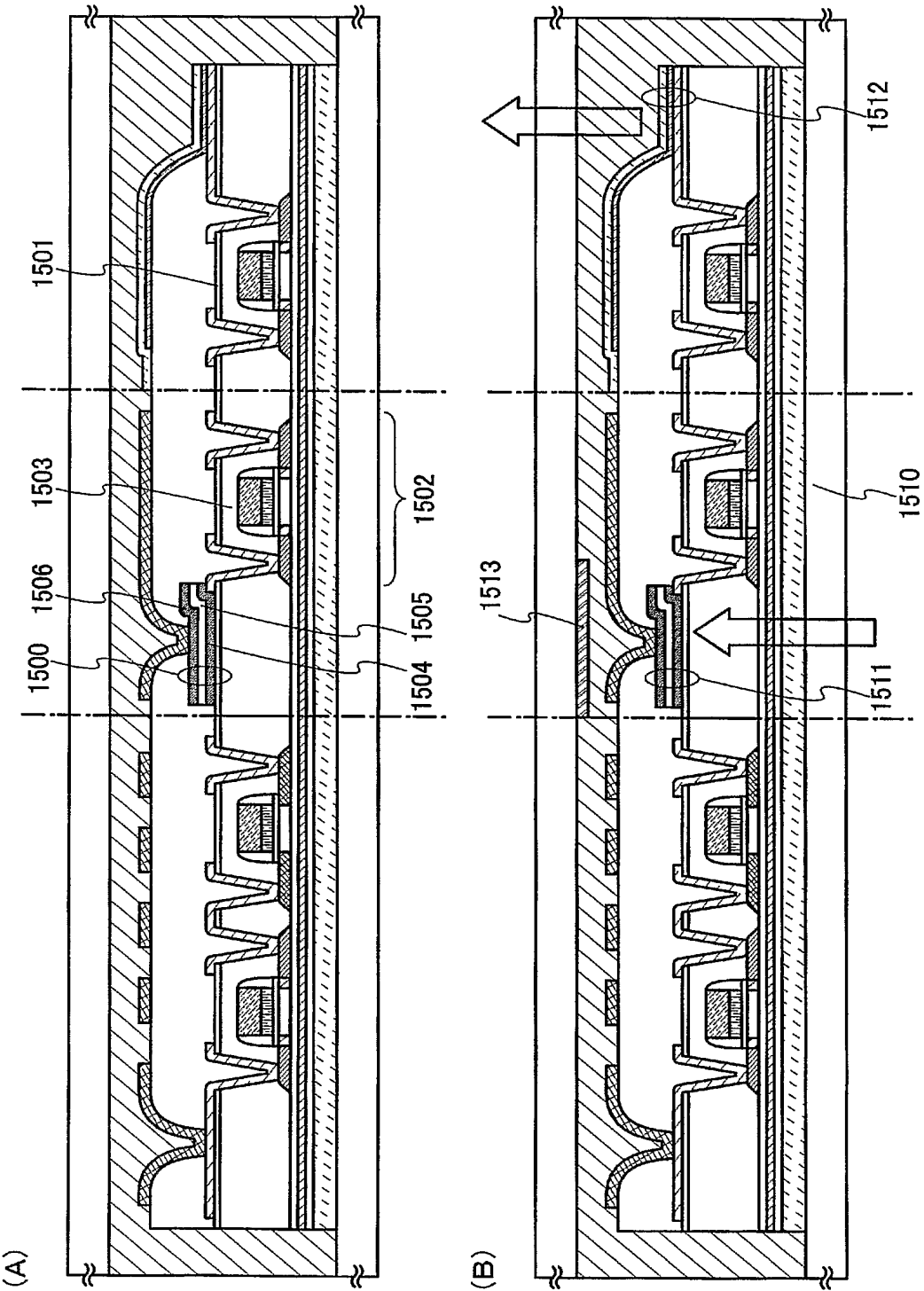
【図 10】



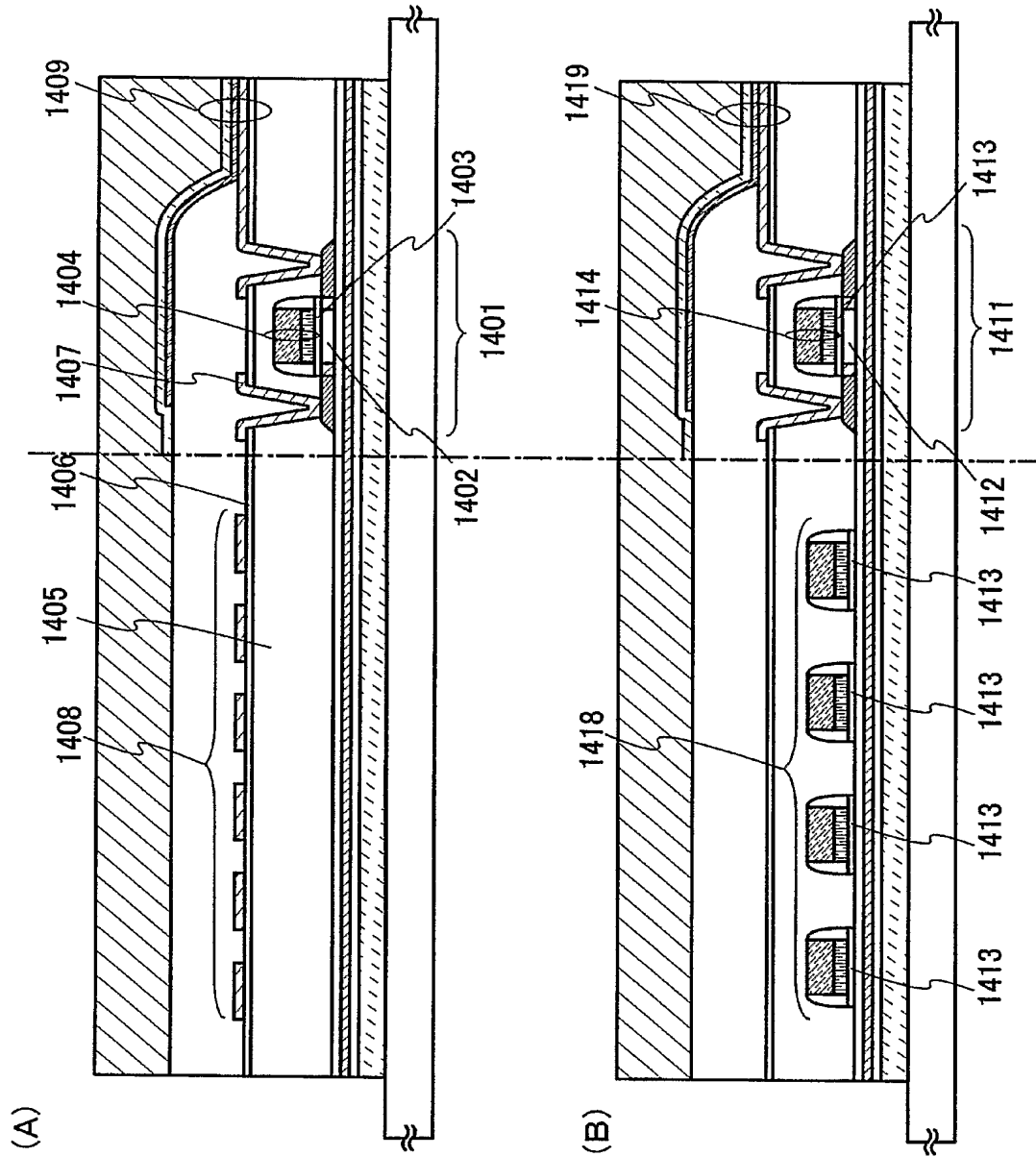
【図 11】



【図 12】

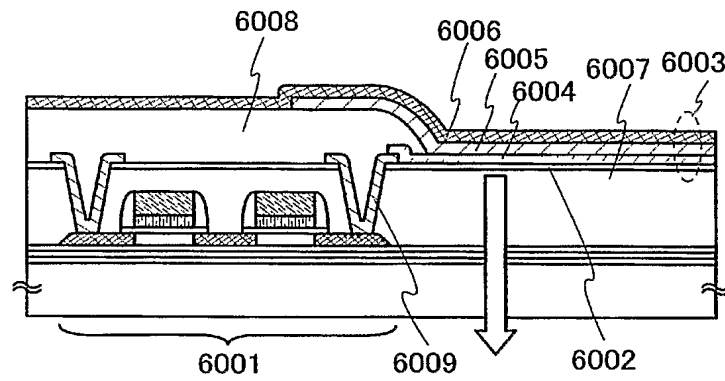


【図 13】

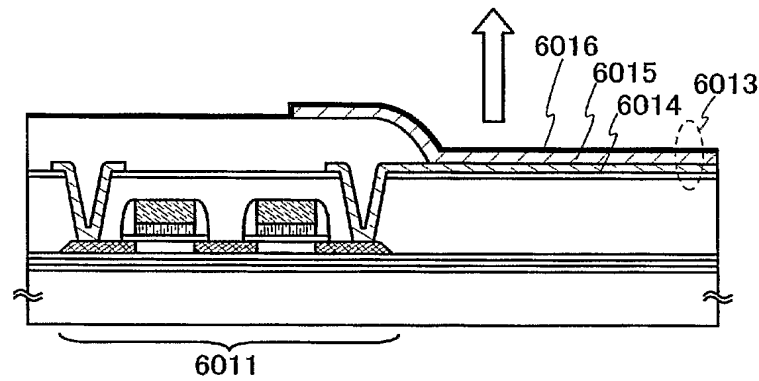


【図 14】

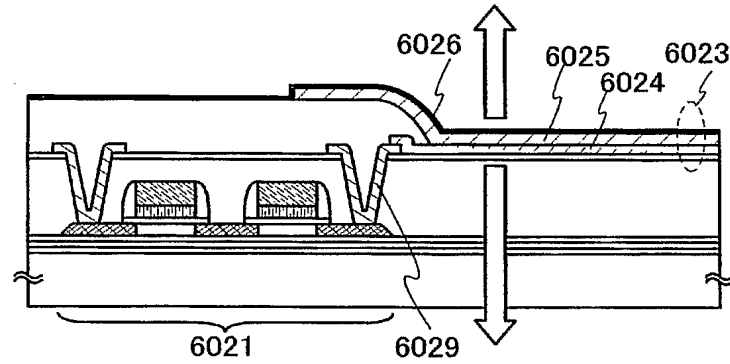
(A)



(B)

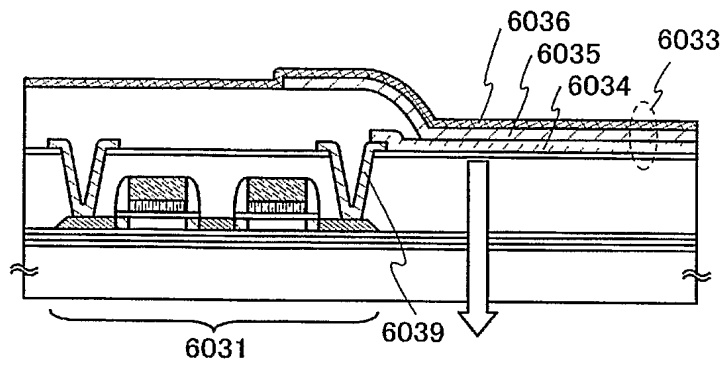


(C)

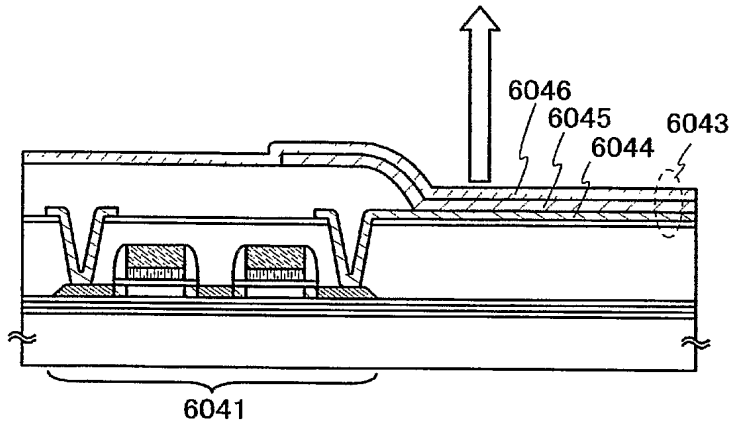


【図 15】

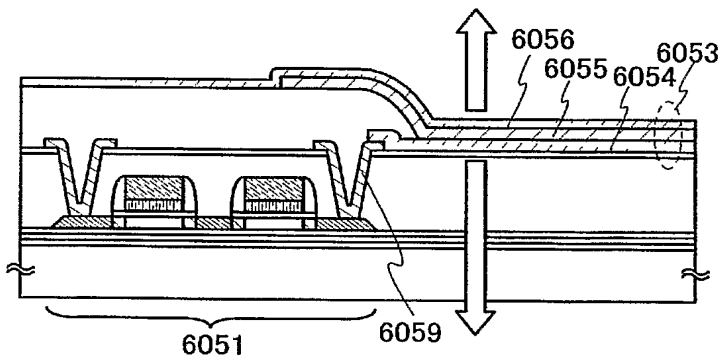
(A)



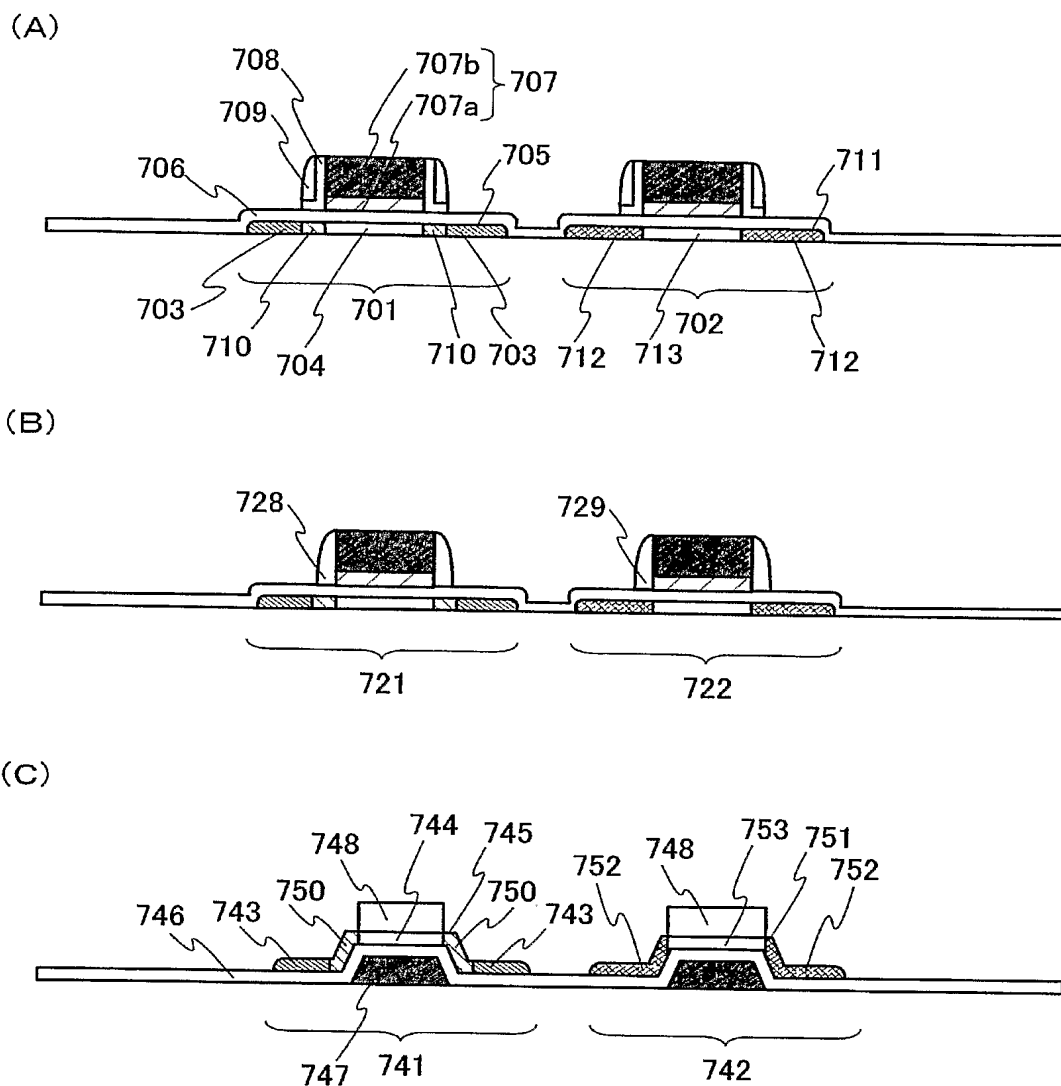
(B)



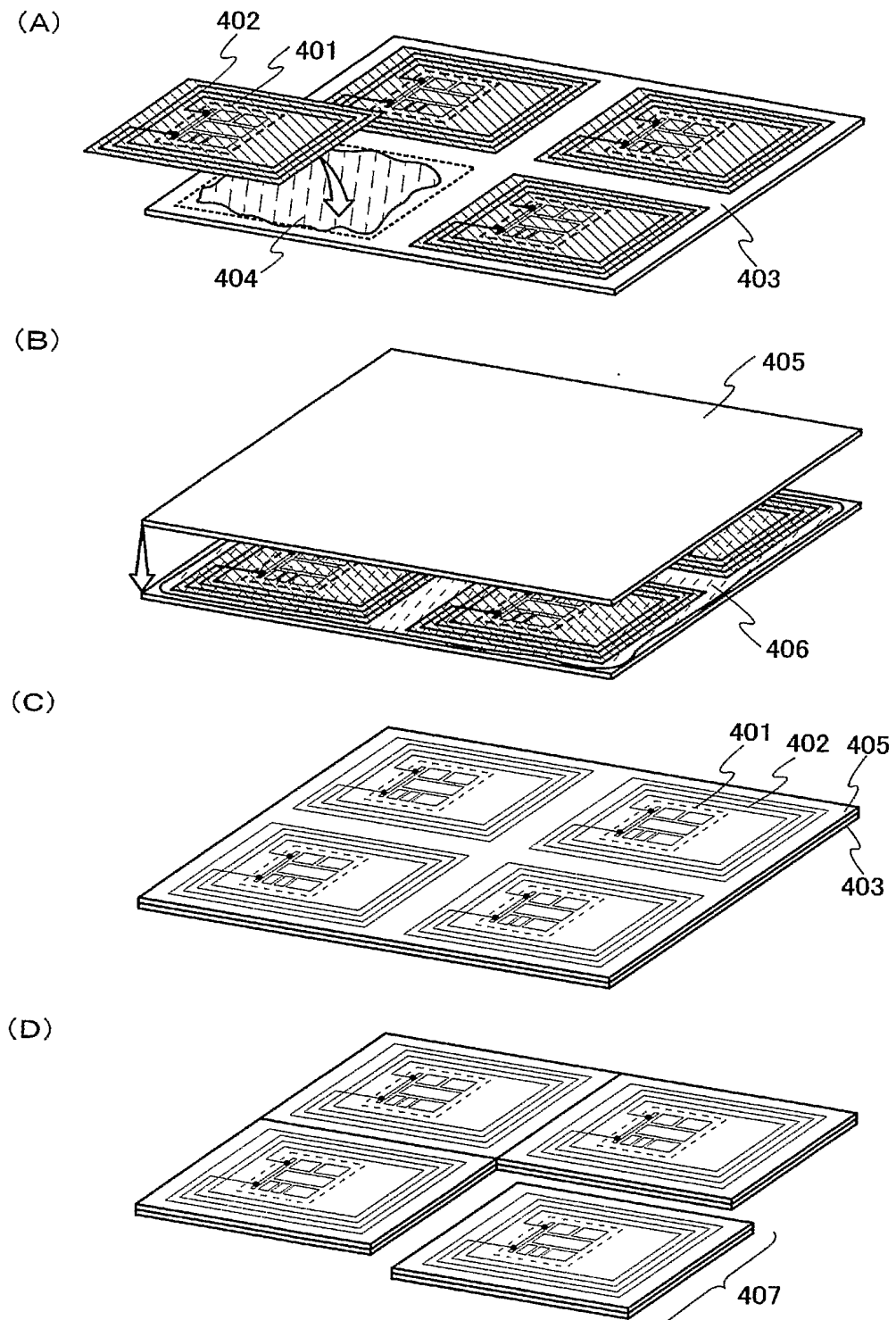
(C)



【図 16】

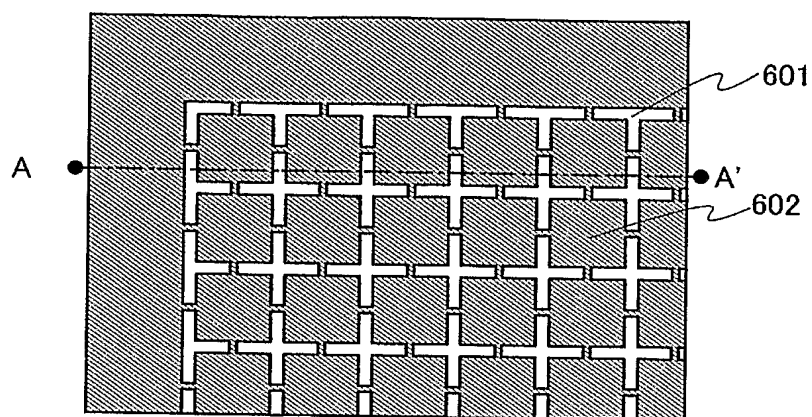


【図 17】

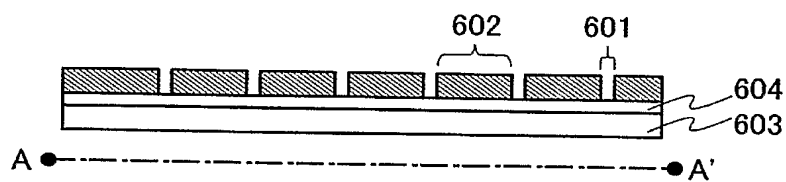


【図 18】

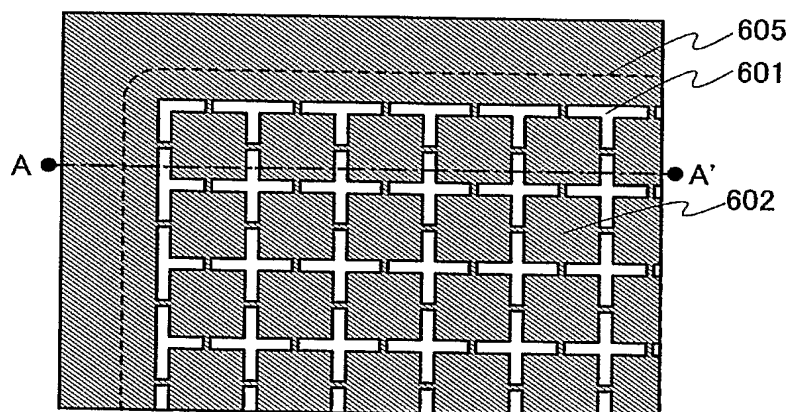
(A)



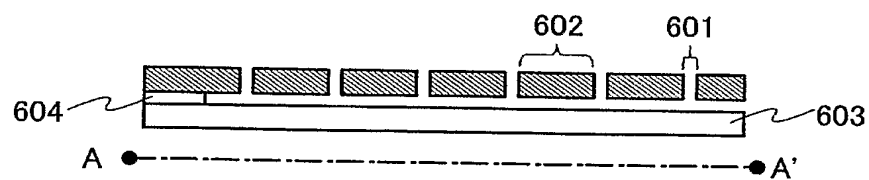
(B)



(C)



(D)



【図 19】

(A)

小切手

支払地 ○○○○○○○○
○○銀行○○支店

金額 **¥1,234,567※**

振出日 平成○年○月○日
株式会社 ○○○○

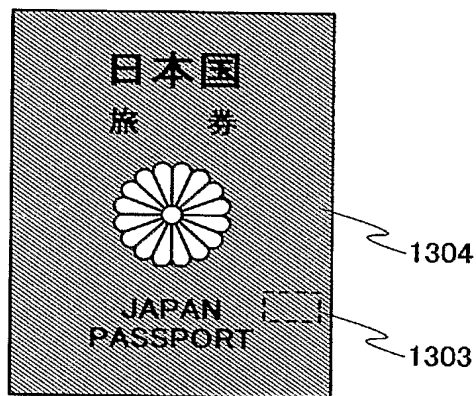
振出地 ○○振出人 代表取締役○○

1301

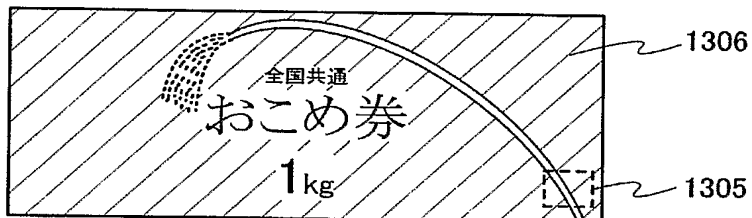
1302

(印)

(B)

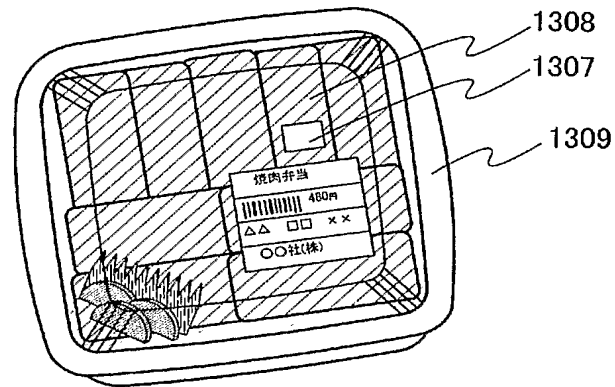


(C)

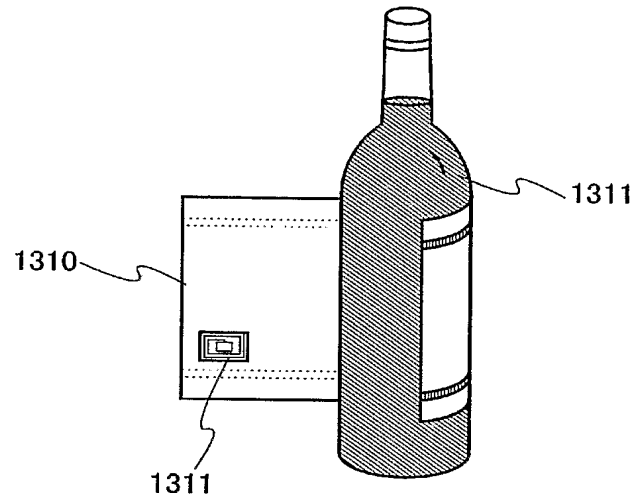


【図 20】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 本発明は、回路規模を抑えることなく集積回路の機械的強度を高めることができる、ＩＤチップまたはＩＣカードの提供を課題とする。

【解決手段】 本発明のＩＤチップ、ＩＣカードは、絶縁分離された薄膜の半導体膜で形成されたＴＦＴ（薄膜トランジスタ）が用いられた集積回路を有する。さらに本発明のＩＤチップ、ＩＣカードは、光電変換を行なうための層に非単結晶の薄膜を用いた、発光素子及び受光素子を有する。発光素子または受光素子は、集積回路と連続して形成（一体形成）されていても良いし、別途形成して集積回路に貼り合わされていても良い。

【選択図】 図 1

特願 2 0 0 4 - 0 6 0 1 0 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所